

日本国特許庁  
JAPAN PATENT OFFICE

PCT/JP 03/01655  
170203  
RECEIVED  
07 MAR 2003  
WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 4月23日

出願番号

Application Number:

特願2002-121231

[ST.10/C]:

[JP2002-121231]

出願人

Applicant(s):

ナノパワーソリューション株式会社

BEST AVAILABLE COPY

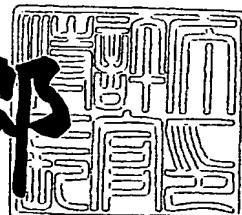
PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1 (a) OR (b)

2003年 2月 4日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3003992

【書類名】 特許願

【整理番号】 117708E

【提出日】 平成14年 4月23日

【あて先】 特許庁長官殿

【発明者】

【住所又は居所】 東京都豊島区南大塚3-32-9 西島ビル ナノパワーソリューション株式会社内

【氏名】 秋田 晋一

【特許出願人】

【識別番号】 501114316

【氏名又は名称】 ナノパワーソリューション株式会社

【代理人】

【識別番号】 100061815

【弁理士】

【氏名又は名称】 矢野 敏雄

【電話番号】 03-3503-3303

【選任した代理人】

【識別番号】 100094798

【弁理士】

【氏名又は名称】 山崎 利臣

【電話番号】 03-3503-3303

【選任した代理人】

【識別番号】 100099483

【弁理士】

【氏名又は名称】 久野 琢也

【電話番号】 03-3503-3303

【選任した代理人】

【識別番号】 100114890

【弁理士】

【氏名又は名称】 アインゼル・フェリックス=ラインハルト

【電話番号】 03-3503-3303

【手数料の表示】

【予納台帳番号】 000217

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 雑音除去回路

【特許請求の範囲】

【請求項1】 基準電圧を発生する基準電圧発生手段と、  
動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、  
前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、  
電源回路の出力を生成する電圧電流动力手段と、  
出力電圧変動を検出する出力分圧手段と、  
少なくとも1つの容量成分を含んだキャンセル信号発生手段とを有する雑音除去回路であって、

前記基準電圧発生手段には前記誤差増幅手段の第1の入力端子が接続され、前記出力分圧手段には前記誤差増幅手段の第2の入力端子が接続され、前記キャンセル信号発生手段には前記第2の入力端子が接続され、前記キャンセル信号発生手段は、前記容量成分と前記出力分圧回路の抵抗成分とによって雑音信号を分圧するとともに雑音信号の位相を進めることを特徴とする雑音除去回路。

【請求項2】 基準電圧を発生する基準電圧発生手段と、  
動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、  
前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、  
電源回路の出力を生成する電圧電流动力手段と、  
出力電圧変動を検出する出力分圧手段とを有する雑音除去回路であって、  
前記誤差増幅器は、第1の型の半導体素子の組で構成される入力部と、第2の型の半導体素子の組で構成される負荷部とを有し、前記入力部と前記負荷部との間に、第1の型の半導体素子からなる雑音抑圧部が配置され、当該雑音抑圧部のひとつの端子は前記第1の電源に接続され、かつ、当該雑音抑圧部の基盤端子は前記第2の電源に接続されていることに特徴を有する雑音除去回路。

【請求項3】 基準電圧を発生する基準電圧発生手段と、  
動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、  
前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、  
電源回路の出力を生成する電圧電流动力手段と、

出力電圧変動を検出する出力分圧手段と、  
少なくとも1つの容量成分を含んだキャンセル信号発生手段とを有する雑音除去回路であって、

前記基準電圧発生手段には前記誤差増幅手段の第1の入力端子が接続され、前記出力分圧手段には前記誤差増幅手段の第2の入力端子が接続され、前記キャンセル信号発生手段には前記第2の入力端子が接続され、前記キャンセル信号発生手段は、前記容量成分と前記出力分圧回路の抵抗成分とによって雑音信号を分圧するとともに雑音信号の位相を進めるものであり、

前記誤差増幅器は、第1の型の半導体素子の組で構成される入力部と、第2の型の半導体素子の組で構成される負荷部とを有し、前記入力部と前記負荷部との間に、第1の型の半導体素子からなる雑音抑圧部が配置され、当該雑音抑圧部のひとつの端子は前記第1の電源に接続され、かつ、当該雑音抑圧部の基盤端子は前記第2の電源に接続されていることを特徴とする雑音除去回路。

【請求項4】 前記基準電圧回路および前記誤差増幅器出力電圧の電源電圧依存係数の絶対値は、電源電圧変化1ボルトあたり-60デシベル以下であり、電源電圧依存係数の絶対値の差は-80デシベル以下であり、かつ前記基準電圧発生回路の電源電圧依存係数の極性と誤差増幅回路の極性が互いに反対の極性である請求項1乃至3記載の雑音除去回路。

【請求項5】 前記キャンセル信号発生回路の容量成分の容量は、0.1pF乃至0.001pFの微少容量である請求項1、3乃至4記載の雑音除去回路。

【請求項6】 前記バイアス電流発生回路が省略されており前記基準電圧発生回路が前記バイアス電流発生回路と兼ねられている請求項1乃至5記載の雑音除去回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は主として直流安定化電源装置におけるリップル雑音除去に関するものである。特に低動作電流でかつ高いリップル雑音除去率を達成する電源回路を提供するものである。

## 【0002】

## 【従来の技術】

携帯電子機器に限らずその他あらゆる電子装置には直流安定化電源電圧が必ず複数個内蔵されている。デジタル回路用、高周波回路用、アナログ回路用などには、それぞれの用途に適した特性の電源回路が配置されている。なかでも携帯電話器の場合には、送信部の電源のリップル除去率が悪いと通話明瞭度が劣化するので可能な限り高いリップル除去率が求められる。また、デジタルコード化された無線通信手段であっても、送受信はキャリア信号をアナログ的に変調復調するので電源リップル雑音はエラー率に悪影響をもたらす。こうしたリップル雑音除去に関しては、例えば-80dBのリップル除去率を達成するためには十分な動作電流数100μAを流せば可能であり、後述するようにいくつか発明が提案されているが、低動作電流を大幅に減らしてかつ高リップル除去率を実現した提案は存在しなかった。

## 【0003】

現在、世界中で動作している電子装置の数は数十億の単位と推定される。ちなみに一つの電源回路が200μAで動作しているとすると50億個で100万アンペアの電流を流している事になり、3Vで動作しているとすると300KWの電力が消費されている計算になる。以下、図面を参照しつつ、従来技術及び従来技術下での回路理論について考察する。

## 【0004】

## (1) 従来回路の例

図1は従来から用いられているCMOS型安定化電源回路のブロック図である。図1において、1、2は電圧供給端子を示し、50は基準電圧Vrefを発生する基準電圧発生回路であり、60は動作電流を定めるためのバイアス電流を発生する回路であり、100は基準電圧Vrefに対する誤差電圧を増幅する誤差増幅回路であり、30は本電源回路の出力を生成する電圧出力回路であり、40は出力電圧の変動を検出し出力を分圧する回路である。この従来の安定化電源回路の具体例が、図2の回路図である。ここで、誤差増幅器100は2段構成で、差動回路10が1段目、位相反転増幅器20が2段目として構成されている。基準電圧発生回

路50は、誤差増幅器の入力端子N1に接続され、出力分圧回路40は、誤差増幅器の入力端子N2に接続されている。

## 【0005】

図3は図2の従来例回路における直流特性を示すグラフであり、出力電圧Voutと基準電圧Vrefの電源電圧Vdd依存性を示している。横軸に電源電圧Vddをとり、31は動作電流、32は出力トランジスタのゲート電圧、33は出力電圧Vout、34は基準電圧を示している。図4は図3を10000倍に拡大したグラフであり、41が出力電圧Vout、42が基準電圧Vrefをそれぞれ示す。図4中の42に見られるように一般的には基準電圧源Vrefは正の電源電圧係数を持ち、電源電圧が上がるとその出力も増加する性質を持っている。これはリップル除去には非常に具合が悪く、低域のリップル除去率は基準電圧の電源電圧依存係数が大きく影響する。電源電圧係数をゼロすることは不可能ではないが、トリミングや特殊な電圧係数素子を用いる必要があるので広く普及している半導体製造方法では非常に高価なものになってしまう。

## 【0006】

## (2) 従来回路の理論式

次に、出力電圧の理論検討をする。出力電圧Voutは次の式で表される。

## 【0007】

$$V_{out} = V_{ref} * (A_v / 1 + K * A_v) + S_0 \quad (1)$$

ここで、Vrefは基準電圧、Avは誤差増幅器の電圧利得、Kは分圧回路の分圧比、S0は誤差増幅器のシステムオフセット電圧を示す。

## 【0008】

基準電圧Vrefは電源電圧Vddの変動の影響を受けるのでその変化率は、Vrefの電源電圧係数 $\Delta V_{ref} = (\delta V_{ref} / \delta v) / K$ で表される。

## 【0009】

Kは出力分圧抵抗の分圧比なので $K < 1$ であり、Vrefに乗ってきたリップル $\Delta V_{ref}$ はフィルターで除去しないと高いP S R R (Power Supply Rejection Ratio)。電源電圧Vddが1V変化したときに出力がどれだけ変化したかの比率。例えば、出力が1mV変化したとすれば、P S R Rは、1

$mV/V$  1V 即ち  $-60dB$  となる。) が実現できないが、 $V_{ref}$  のリップルは非常に低い周波数から高い周波数まで含まれるので、フィルターには大きな時定数が要求されていて、全部の周波数帯域を除去するフィルターは半導体同一チップ上に集積化は実現できていない。

## 【0010】

図4で $V_{ref}$  は  $V_{dd}$  が  $4V \sim 5V$  ( $0dB$ ) の間で約  $10\mu V$  ( $-100dB$ ) 増加している。 $V_{out}$  は  $90\mu V$  ( $-82dB$ ) 増加している。

## 【0011】

$K$  は出力分圧回路の分圧比で次式で示される。

## 【0012】

$$K = R_1 / (R_1 + R_2)$$

ここで、 $R_1$ 、 $R_2$  は出力分圧回路の抵抗であり、ポリシリコンで製造すれば  $V_{dd}$  の影響を無視できるので電源電圧  $V_{dd}$  の変化率は考えないことにする。 $K$  の値は出力電圧を決める分圧値であり  $V_{ref}$  は  $0.2$  から  $0.8$  が一般的なので極端に小さな値や大きな値は設定できないので、リップル低減には限定的にしか寄与しないといえる。

## 【0013】

$S_0$  はシステムオフセット電圧を表していて、回路構成上不可避的に発生するもので、従来採用されなかった考え方で実験値からその存在を仮定して導入した。経験的に  $V_{dd}$  の影響を受けると知られていてたいていはプラスの係数を有するがマイナス傾斜に出来ると重要な働きをすることを式(1)は示している。

## 【0014】

ここで、 $S_0$  の電源電圧係数は  $\Delta S_0 = \delta S_0 / \delta V$  で表される。

## 【0015】

$A_V$  は回路全体の増幅率でオープンループ利得あり、当然電源電圧  $V_{dd}$  依存性があるので変化率は次の微分式で表される。

## 【0016】

$$\Delta A_V = (\delta A_V / \delta V) / (1 + K A_V)^2 \text{ となる。}$$

## 【0017】

ちなみに  $A_v = 10000$  倍 (80 dB)、  $K = 0.5$ 、 電源電圧が 1V 上昇すると 10000 倍から 12000 倍に変化し、  $\Delta A_v = 2000$  倍、  $\Delta V = 1V$  となり

$$\Delta A_v = 80 \times 10^{-6}$$

$V_{ref} = 1.2V$  のときリップル成分は  $96 \mu V$  (-80.5 dB) に相当して無視できるレベルでないことがわかる。

### 【0018】

以上の理論的検討から、合計の  $V_{out}$  のリップル成分は下記(2)式で示されることが分かる。

### 【0019】

$$\Delta V_{out} = \Delta V_{ref} + V_{ref} * \Delta A_v + \Delta S_o \quad (2)$$

### 【0020】

#### (3) 安定度の検討

次に安定度に関し各増幅段の利得と極点、ゼロ点の周波数理論式を検討する。

### 【0021】

まず、各増幅段の利得を考察する。1段目、2段目、3段目の利得をそれぞれ  $A_v 1$ 、  $A_v 2$ 、  $A_v 3$  すると、

$A_v = A_v 1 * A_v 2 * A_v 3$  であり、

$i$  番目の増幅段の利得を  $A_v i$  とすると、  $A_v i$  は下記(3)式で表される。

### 【0022】

$$A_v i = G_m i * Z_o i \quad (3)$$

ここで、  $G_m i$ 、  $Z_o i$  は  $i$  段目の増幅器のコンダクタンスと出力インピーダンスであり、

$Z_o i = R_{p i} // R_{n i} // C_{o i}$  である ( $R_{p i} // R_{n i} // C_{o i}$  は、 Pトランジスタ  $i$  の出力抵抗、 Nトランジスタ  $i$  の出力抵抗、 出力  $i$  の容量分の並列インピーダンスを表す)。  $R_{p i}$  は、 下記(4)式で表され、  $G_m i$  は、 下記(5)式で表される。

### 【0023】

$$R_{p i} = \alpha (L_i / I_{d i}) \sqrt{(V_{d g i} + V_{t p i})} \quad (4)$$

ここで、 $\alpha$ は補正係数で大体  $5 \times 10^6 \sqrt{V/m}$  である。

## 【0024】

$$G_{mi} = \sqrt{2 \mu_p C_{ox} (W_i/L_i) I_{di}} \quad (5)$$

$\mu_p$ 、 $C_{ox}$ 、 $W_i$ 、 $L_i$ 、 $I_{di}$ はそれぞれP F E Tのキャリア移動度、ゲート酸化膜の単位容量、トランジスタ $i$ のチャネル幅、チャネル長、ドレイン電流を示している。

## 【0025】

次に周波数特性を考察する。

## 【0026】

1段目、2段目、3段目の增幅回路はそれぞれ $F_{pi}$ の周波数で極点を持つ。

## 【0027】

$$F_{pi} = 1 / 2 \pi * Z_{oi} \quad (6)$$

各段の出力は周波数 $F_{pi}$ で増幅度が $-6 \text{ dB}/\text{オクターブ}$ で減衰し始める。

## 【0028】

リップル雑音除去率に関して、前述の式(2)から、 $V_{out}$ のリップル成分を小さくするためには、増幅率 $Av$ が大きければ大きいほどよいことがわかる。(5)式からわかるように回路利得を高くするためにはドレイン電流 $I_{di}$ をある程度大きくすれば効果があることが推定できる。一方、式(4)はドレイン電流 $I_{di}$ を小さくすると出力インピーダンスがあがって利得が上昇することを示している。また式(4)と(5)はドレイン電流 $I_{di}$ を下げると極周波数が下がって、高い周波数まで利得が伸びないことを示している。

## 【0029】

この段階では安定度やリップル除去率を考察するにはまだ不十分で周波数特性はさらにゼロ点の存在が関係する。極点周波数では利得が $-6 \text{ dB}/\text{オクターブ}$ で減衰してゼロ点周波数では $+6 \text{ dB}/\text{オクターブ}$ で上昇するが通常は極点周波数が低いので利得は平坦な特性を示す。

## 【0030】

図1の従来例ではもっとも大きく位相や利得の周波数特性に関与するのは2つのゼロ点がある。第一のゼロ点周波数 $F_{z1}$ は出力平滑コンデンサ $C_3$ と負荷抵抗

抗  $R_3$  で定まる。

## 【0031】

$$F_z 1 = 1 / 2 \pi * R_3 * C_3 \quad (7)$$

第2のゼロ点周波数は非常に重要である。出力トランジスタ  $P_3$  の出力回路は集積化電源回路においては太さ  $25 \mu$  から  $30 \mu$  の太さの金線で接続されていて長さが  $1 \text{ mm}$  から  $3 \text{ mm}$  なら数十ミリオームから百数十ミリオームの抵抗を有する。金線の両端はアルミパッドとリード線に圧着されている部分で数十ミリオームの接触抵抗と寄生抵抗を有する。合計で  $R_{og} = 100 \text{ ミリオーム}$  から  $200 \text{ ミリオーム}$  の抵抗を有している。また平滑用出力コンデンサ  $C_3$  の等価直列抵抗  $ESR$  も大きく関係する

$$F_z 2 = 1 / 2 \pi * (R_{og} + ESR) * C_3 \quad (8)$$

## 【0032】

## (4) ゼロ点周波数考察

$C_3$  は一般的には  $1000 \text{ pF}$  から  $10 \text{ uF}$  が広く利用される。 $R_3$  は負荷電流によって大きく変動する。例えば  $10 \text{ オーム}$  から  $100 \text{ K}\Omega$  程度とする、 $R_{og}$  は  $200 \text{ m}\Omega$ 、 $ESR = 20 \text{ ミリオーム}$  とすると、

$F_z 1 = 0.15 \text{ Hz} \sim 1.5 \text{ MHz}$ 、 $F_z 2 = 72 \text{ kHz} \sim 7.2 \text{ MHz}$  の範囲であり、 $F_z 1$  は動作中の電流に依存して大きく移動するが、 $F_z 2$  は一度各部の値を設定すれば負荷電流には依存しない。 $F_z 2$  は後で詳しく述べるが、ちょうど位相遅れが  $180^\circ$  のあたりの位相特性に影響するので安定度にとって重要な要素である。

## 【0033】

## (5) 安定度と極点周波数の具体例考察

安定化電源回路の安定度は極点周波数が互いに離れていれば安定であるとされている。例えば  $10$  倍づつ離れていると問題がおきないとされている。格段の極点周波数の具体例を検討してみる。

## 【0034】

1段目の極点周波数  $F_{p1}$  は、 $R_{o1} = 300 \text{ K} \sim 150 \text{ K}$ 、 $C_{o1} = 0.1 \sim 0.2 \text{ pF}$  であり、 $F_{p1} = \text{数}100 \text{ kHz} \sim \text{数MHz}$  程度になるが、比較的

問題になりにくい。

【0035】

2段目の極点周波数  $F_{p2}$  は  $R_o2 = 50K \sim 100K$ ,  $C_o2 = 150pF$   $\sim 250pF$  であり、  $F_{p2} = \text{数KHz} \sim 10\text{数KHz}$  となる。  $C_o2$  は出力トランジスタのゲート容量と追加容量  $C_2$  の和である。出力電流規格つまり出力トランジスタサイズで変化する。動作中はほぼ固定しているが、次に述べる  $F_{p3}$  との関係で問題になる。

【0036】

最終段の極点周波数  $F_{p3}$  は  $R_o3$  が負荷電流によって大きく変化するので動作中に大きく変動する。無負荷のときは  $R_o3$  が大きくなつて数Hzまで下がり、低い周波数から位相が回るので位相余裕が少なくなつて不安定になる恐れが出てくる。そのために出力分圧抵抗にアイドリング電流を流しておいてこれを回避する。

【0037】

大きな電流を引いたときは  $150KHz$  まで上昇する。このとき2段目の極点周波数  $F_{p2}$  に接近してかつ利得が大きいと動作が不安定なるので  $F_{p2}$  をずらす必要が生じる。  $F_{p2}$  を高くすることはこのままの回路構成では不可能なので従来は  $C_2$  を増加して  $F_{p2}$  を下げる対策が一般的である。しかしこの方法は  $P_4$  のゲートに数pFから数  $10pF$  のコンデンサを付加するので電源リップル雑音が  $P_4$  から  $V_{out}$  に抜けてしまい、リップル雑音除去が犠牲になることが避けられなかつた。さらにパルス的な変化への応答にさいして、付加されたコンデンサの充放電をすばやく行うために出力トランジスタ  $P_4$  を駆動する  $P_3$  には十分な動作電流を流しておく必要もあつた。

【0038】

このように従来の回路構成では、良好なリップル雑音除去率（例えば  $10KHz$  で  $-80dB$  以上の特性）および良好な安定度を得るために十分な動作電流とアイドリング電流を流す必要があることが理論式からも推定される。

【0039】

(6) 従来回路のシミュレーション特性

図5と図6は従来の回路で、動作電流を大きくした場合と減らした場合の利得位相一周波数特性およびP S R R特性をシミュレーション結果のグラフを示している。51, 52, 53はV<sub>out</sub>の利得特性を示し、54, 55, 56は位相特性を示し、61, 62, 63はP S R R特性を示している。51, 54, 61は動作電流が100 μA以上の時、52, 55, 62は動作電流が2 μA以下の時をそれぞれ示す。位相余裕度は回路の安定度を測る指標であるが、利得が1の時の180度からの位相差で定義される。利得1の周波数で180度位相から位相回りが少なければ安定であり発振しない。

#### 【0040】

図5では54が0dBを横切る周波数400Khz付近で位相余裕が約50度で十分な余裕がある。61は動作電流が十分大きいときのP S R R特性で、良好なP S R R - 90dBが得られていることを示している。

#### 【0041】

ところが52と55は52が0dBの時に55はすでに180度を過ぎていて、55が180度を横切る周波数10Khz付近で52はまだ十分な利得40dBを有していてこの付近の周波数で発振することを示している。つまり従来の回路では動作電流を減らしていくと位相の回りが低い周波数からおきて利得も下がらず、安定動作できなくなることを示してしている。

#### 【0042】

特性曲線53, 56, 62は動作電流を2 μA以下に減らした時、C3を100 μFと大きくして、位相特性を改善して安定度を高めた回路の特性である。C3を大きくしたので第3極点F<sub>p3</sub>が大幅に下がって利得が20dB程度低下している。第2ゼロ点周波数F<sub>z2</sub>は大きなC3のために10Khzと100Khzの間に設定されて位相遅れを抑えて安定度を大きく改善している。53の利得0dBのとき56は位相余裕約50度があることを示している。このように極点とゼロ点を調整すれば従来の回路方式でも、動作電流を大幅に下げて安定度を確保して安定化電源回路を作ることは可能であるが、C3に大きな容量値が必要なので小型機器には採用できないことと、結果としてP S R Rは大幅に低下してしまう問題がある。図6の62は53, 56に対応するP S R R特性で61に比べ

て10KHz付近で約40dB以上も特性が劣化していることを示している。

【0043】

63は図2における従来例の回路で動作電流を2μA以下にした場合のPSR特性を比較のために示す。2段増幅構成なので利得が不足して良好な特性が得られない事を示している。

【0044】

以上の考察から、従来の回路方式では動作電流を十分大きくしないと、良好なリップル除去率は達成できなかったことが理解される。

【0045】

【発明が解決しようとする課題】

リップル雑音除去については携帯電話や無線LANの市場拡大に応じて数多くの提案がされている。これらは、以下の5分類に大別される。

【0046】

(分類1) 極点ゼロ点周波数の最適化と利得増大による方法(例えば、U.S.P.5631598、U.S.P.6304131、特開2001-195138、特開2000-284843、特開平5-204476)

(分類2) 基準電圧源と誤差増幅器を自分の安定化電圧で動作させる方法(例えば、U.S.P.5889393、特開平4-263303、特開平5-35344)

(分類3) 極点ゼロ点周波数を負荷状態で適応的に制御する方法(例えば、U.S.P.6246221、特開2000-47738)

(分類4) リップルフィルターで除去する方法(例えば、特開平8-272461、U.S.P.5130579、U.S.P.4327319)

(分類5) リアクトルトランスでキャンセルする方法(例えば、U.S.P.5668464、特開2001-339937)。

【0047】

分類1は近年最もたくさん提案されているもので、リップル除去特性が非常に優れているが電流増幅器を追加するので素子数が増加することと基本的には従来理論なので動作電流を激減させることは出来ない問題は残っている。

【0048】

分類2は起動時にもとの電源から自分で安定化した安定化出力に切り替える瞬間に不安定状態が必ず出現して動作開始から出力が安定するまでの時間が長くなる点が問題である。近年の携帯電話などの応用では電力を節約するために電源が間欠的に動作しているので起動に時間がかかるのは致命的である。また誤差増幅器と出力トランジスタの間に正確なレベルシフト回路が必要になるので動作電流がそこでも増加することになり、低消費電流は実現出来ない。

## 【0049】

分類3は分類1と同様、誤差増幅器に設計理論は従来のままなので動作電流は減らせないことと、負荷電流は変化の激しい非常に雑音が多く含まれる性質がありそれをフィードバックするとリップル除去特性を阻害してしまうという問題を内在している。

## 【0050】

分類4はリップル成分が数Hzから高周波領域までの周波数帯域を含み、特に低い周波数のリップルをフィルタで取り除くためには大きな時定数が不可欠であり、半導体基板上に集積化するのは大きなコスト上昇なしには実現不可能である。

## 【0051】

分類5は大きなリアクトルトランスは集積化不可能なので応用範囲が限られる

## 【0052】

そこで、本発明では動作電流を従来の100分の1以下に減らしても諸特性が劣化しないでかつ、回路も複雑化しない、設計理論も単純で明快な、安定度も優れたりップル除去回路を提供することを技術的課題とするである。

## 【0053】

## 【課題を解決するための手段】

本発明では、上記の課題を達成するための技術的手段として、基準電圧を発生する基準電圧発生手段と、動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、電源回路の出力を生成する電圧電流输出手段と、出力電圧変動を検出する出力分圧手段と、少なくとも1つの容量成分を含んだキャンセル信号発生手段とを有

する雑音除去回路であって、前記基準電圧発生手段には前記誤差増幅手段の第1の入力端子が接続され、前記出力分圧手段には前記誤差増幅手段の第2の入力端子が接続され、前記キャンセル信号発生手段には前記第2の入力端子が接続され、前記キャンセル信号発生手段は、前記容量成分と前記出力分圧回路の抵抗成分とによって雑音信号を分圧するとともに雑音信号の位相を進めることを特徴とする雑音除去回路としたものである。

## 【0054】

また、基準電圧を発生する基準電圧発生手段と、動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、電源回路の出力を生成する電圧電流动力手段と、出力電圧変動を検出する出力分圧手段とを有する雑音除去回路であって、前記誤差増幅器は、第1の型の半導体素子の組で構成される入力部と、第2の型の半導体素子の組で構成される負荷部とを有し、前記入力部と前記負荷部との間に、第1の型の半導体素子からなる雑音抑圧部が配置され、当該雑音抑圧部のひとつの端子は前記第1の電源に接続され、かつ、当該雑音抑圧部の基盤端子は前記第2の電源に接続されていることに特徴を有する雑音除去回路としてもよい。

## 【0055】

さらに、基準電圧を発生する基準電圧発生手段と、動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、電源回路の出力を生成する電圧電流动力手段と、出力電圧変動を検出する出力分圧手段と、少なくとも1つの容量成分を含んだキャンセル信号発生手段とを有する雑音除去回路であって、前記基準電圧発生手段には前記誤差増幅手段の第1の入力端子が接続され、前記出力分圧手段には前記誤差増幅手段の第2の入力端子が接続され、前記キャンセル信号発生手段には前記第2の入力端子が接続され、前記キャンセル信号発生手段は、前記容量成分と前記出力分圧回路の抵抗成分とによって雑音信号を分圧するとともに雑音信号の位相を進めるものであり、前記誤差増幅器は、第1の型の半導体素子の組で構成される入力部と、第2の型の半導体素子の組で構成される負荷部とを有し、前記入力部と前記負荷部との間に、第1の型の半導体素子からなる雑音抑圧部が配置さ

れ、当該雑音抑圧部のひとつの端子は前記第1の電源に接続され、かつ、当該雑音抑圧部の基盤端子は前記第2の電源に接続されていることこれを特徴とする雑音除去回路であってもよい。

## 【0056】

さらにまた、前記基準電圧回路および前記誤差増幅器出力電圧の電源電圧依存係数の絶対値は、電源電圧変化1ボルトあたり-60デシベル以下であり、電源電圧依存係数の絶対値の差は-80デシベル以下であり、かつ前記基準電圧発生回路の電源電圧依存係数の極性と誤差増幅回路の極性が互いに反対の極性である雑音除去回路であってもよい。

## 【0057】

さらにまた、前記キャンセル信号発生回路の容量成分の容量は、0.1pF乃至0.001pFの微少容量である雑音除去回路であってもよい。

## 【0058】

さらにまた、前記バイアス電流発生回路が省略されており前記基準電圧発生回路が前記バイアス電流発生回路と兼ねられている雑音除去回路であってもよい。

## 【0059】

## 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

## 【0060】

## (第1の実施例)

図18は本発明の第1の実施例を示すブロック図であり、図7はその具体的な回路構成例である。従来技術で述べた図2の回路構成と同様に誤差増幅器100は2段構成で、差動回路10が1段目、位相反転増幅器20が2段目であり、出力回路30、誤差検出分圧回路40、基準電圧回路50、バイアス電流発生回路60で構成されている。従来技術と異なる点は、キャンセル信号発生回路80が入力端子N2に接続して、付加されている点である。キャンセル信号発生回路80は電源ラインに発生した信号から微小に分圧されしかも位相を進めた信号を発生して差動回路の入力に加えて高い周波数領域のリップル雑音を打ち消す動作をする。なお、図8は、図7の実施例の変形例であり、誤差増幅器100を一段構成

にした場合の回路構成例である。

## 【0061】

以下にキャンセル信号発生回路の作用を説明する。

## 【0062】

(キャンセル信号発生動作の作用)

キャンセル信号発生回路の動作は非常に奇抜であるが単純である。 $V_{out}$ のリップル雑音は例えば-100 dBのレベルであれば $10 \mu V / 1 V$ に相当する。これをキャンセルするにはこのような微小な電圧と位相を正確に発生する必要がある。電源ラインのリップル雑音が1 Vとすると $1 / 10000$ に正確に分割する必要がある。しかも位相が大きくずれてはいけないし他の回路の動作点をずらしてはいけない。純抵抗ならば単純で実現は簡単に見えるが、半導体チップ上でこのような微小な分圧比を寄生容量もなしに実現するには非常に困難でありこれまで実現されていなかった。

## 【0063】

図13に本発明のキャンセル信号発生回路の具体例を示す。図13 (a) ではキャンセル信号発生回路が抵抗R3, R4, 容量成分C4で構成され（点線で囲まれた部分）、抵抗成分で分圧してから更に容量成分で位相補正を行う回路である。これは出力分圧回路40のR1, R2が所望の出力電圧に応じて変化するので最適なキャンセルコンデンサも変化する点を改良している。図13 (b) は、抵抗R4に代え、トランジスタP5を用いた回路構成である。図13 (c) は、C4だけで構成した例である。C4はFETのゲート容量で構成することも出来る。Cgは誤差増幅器の入力トランジスタN2のゲート容量、R1、R2は出力分圧回路40の抵抗でキャンセル動作に参加している。R3とR4の並列抵抗値がR1とR2の並列抵抗値よりも十分低いと仮定するとキャンセル信号発生回路の出力 $V_c$ は、CをC4の容量値、RをR1とR2並列抵抗値、とすると次の式で表される。

## 【0064】

$$Z = R / (j \omega C g R + 1) \quad (9)$$

$$V_c = \Delta V_{dd} (R3 / (R3 + R4)) (j \omega C Z / j \omega C Z + 1) \quad (10)$$

$R = 1 \text{ M}\Omega$ 、 $C = 0.1 \text{ pF}$ 、 $\Delta V_{dd} = 1 \text{ V}$ 、 $\omega = 2\pi 10 \text{ KHz}$ のとき、  
 $V_c = (1/15000)$  ボルト、位相進みは約80度である。

## 【0065】

式(9)は $C_g$ に依存して数10KHz以下の周波数では $R$ で決まるインピーダンスに近似できる。さらに高い周波数では式(9)はゼロに近づくのでキャンセル信号は小さくなつて作用がなくなる。

## 【0066】

位相進みはコンデンサ $C_4$ の値に依存して変化するが10KHz付近ではまだ90度進んだ状態である。第3の極点による位相遅れを打ち消すように $C_4$ を設定すれば位相遅れをキャンセルできる。振幅は $R_3$ と $R_4$ の比および $C$ と $R$ のインピーダンス比であわせることが出来る。これを誤差増幅器の入力に入れれば、キャンセル動作が実現できる。

## 【0067】

本発明のキャンセル信号発生回路は、コンデンサと出力分圧回路 $40$ の抵抗で雑音信号に対する分圧回路を構成するところに特徴があり目的に最適でかつ非常に微小な分圧比と位相進みを最小のコストと構成で実現している。しかもその効果は絶大である。

## 【0068】

式(10)において $R_3$ を無限大にすると $(R_3/(R_3+R_4))$ は1に限りなく近づいて $C_4$ を直接接続した状態になる。図13(c)に示す構成がその状態を示している。そのとき $C_4$ はごく微小な容量 $fF$ (フェムトファラッド)のオーダーになるが、半導体基板上であればそのような微小容量でも問題なく製造可能である。

## 【0069】

## (第2の実施例)

次に、図18のブロック図及び図15の回路図を参照して、本発明の第2の実施例について説明する。図7と同じ構成要素は同じ記号で示している。本実施例では、トランジスタ $P_1$ 、 $P_2$ 、 $P_3$ が増幅器100の負荷部を構成し、トランジスタ $N_5$ のゲートが増幅器100の入力部を構成しており、負荷部と入力部の

間に、雑音抑圧部として、N5、N6、N7からなるキャンセルトランジスタアレイ70が付加されている点に特徴がある。キャンセルトランジスタアレイ70のゲートは電源1に接続されていて電源ラインのリップル雑音信号が直接に加えられている。N5、N6のカスコードトランジスタについてはU.S.P.4,533,877にて述べられていてP.S.R.R特性の改善効果が示されている。またU.S.P.5,113,148においても例示されている。従来のカスコードトランジスタはすべてそのゲート端子は電流値を合わせるために特別に作られた基準電圧に接続されていた。そうしないと同一経路にある他の定電流源とミスマッチが起きて動作が不安定になるからである。本実施例では、カスコードトランジスタは電源に直接接続して動作電流を他の定電流源と無関係にして、わざとリップル雑音信号をゲートに加えるとともに、ソース端子との相互作用を利用していている。

## 【0070】

N7についてカスコード接続されたキャンセルトランジスタの動作を説明する。電源電圧Vddが動作中のある電位から上昇するとN7のゲートの電位も同じだけ上昇する。一方N7のドレインはVddとほぼ同じ振幅だけ振れて電流を増加させようとするがソース電位はバックゲートがかかっているので、N7の電流の増加が押さえられる。その結果p-d電位が下がるのが抑制されてP4の出力電圧Voutが上昇するのが抑制される。N7の電流は以下の式で表せる。

## 【0071】

$$I_d = 0.5 * \mu_n * C_{ox} * (W/L) * (V_{gs} - V_{tn})^2 * \{1 + \lambda (V_{ds} - V_{eff})\} \quad (11)$$

$$V_{tn} = V_{t0} + \gamma (\sqrt{(V_{sb} + 2\Phi_F)} - \sqrt{\Phi_F}) \quad (12)$$

$V_{gs}$ はゲートソース間電圧、 $V_{tn}$ はバックゲートのかかった閾値、 $V_{ds}$ はドレインソース間電圧、 $V_{eff} = V_{gs} - V_{tn}$ 、 $\lambda$ はラムダ係数、 $V_{t0}$ はバックゲートがないときの閾値、 $V_{sb}$ はソース基盤間電圧、 $\Phi_F$ はフェルミ準位、 $\gamma$ はバックゲート効果の係数である。 $\lambda$ と $\gamma$ は製造工程によって定まる係数である。

## 【0072】

式(12)はN7のソース電位 $V_{sb}$ が上昇すると $V_{tn}$ が上昇することを示している。式(11)において $V_{gs}$ が $V_{dd}$ とともに上昇しても同時に $V_{tn}$ も上昇するので電流 $I_d$ は $V_{gs}$ の上昇に正比例はしないことを示している。

## 【0073】

## (第3の実施例)

図20に記載されたブロック図は、本発明の第3の実施例であり、図16に記載された回路は、その具体的回路構成図である。図7と同じ構成要素は同じ記号で示している。本実施例では、キャンセル信号発生回路80と共にキャンセルトランジスタ70を有する点に特徴がある。

## 【0074】

なお、上記の実施例の変形例として、バイアス電流発生回路60を省略し、基準電圧発生回路50がバイアス電流発生回路を兼用することも可能である。図17にかかる変形例の回路構成を示す。

## 【0075】

## (システムオフセットの傾斜)

図9は、図15に示した本発明の実施例における、電源電圧Vddが変化したとき回路各部の依存性特性をシミュレーションしたグラフである。94、91はキャンセルトランジスタがない場合のP3のドレイン電流とVoutであり、95、92がキャンセルトランジスタN7があるときの電流とVoutである。図9(c)で、94と95を比較するとキャセルトランジスタによって95の電流増加が94に比べて抑制されていることがわかる。図9(a)は、91、92はVout近傍を拡大したグラフで、キャンセルトランジスタの働きで電流増加が抑えられて、Voutがマイナス傾斜92になっていることがわかる。91、92、93の傾斜の範囲は、電源電圧変化が1Vあたり1mV(-60dB)以下であり、電源電圧依存係数の絶対値の差が-80dB以下であることが望ましい。基準電圧源の正係数の傾斜(極性)とここで得られる誤差増幅器の負係数の傾斜(極性)を合わせれば、両者は打ち消し合い、低周波領域での電源電圧変動から起因するリップル雑音を限りなくゼロにできる。図9でVrefを示す93の傾斜は前述の式(2)において $\Delta V_{ref}$ に相当する。91、92はともにVoutを示していて、91は式(2)における $\Delta S_0$ が正係数を持つ場合のVoutの傾斜を示し、92は $\Delta S_0$ が大きな負係数を持つ場合にその影響でVoutが負の傾斜となる場合を示している。また、逆の場合(基準電圧源が負極性、誤差増幅器が正極性)も同様の効果が得られる。9

2のマイナス傾斜はN7の動作電流と式(11)における製造パラメータに依存して出てくるので任意に設定は出来ないが、その性質は常に利用できるのでN7によって必ず傾斜を寝かせることが可能である。

## 【0076】

図11は基準電圧源の回路構成例を示す。電圧係数は $\delta V_{ref}/\delta v$ は図9のグラフの93より $2\mu V/1V$ である。この回路例はUSP4417263から引用している。ND1, ND2はデプレッション型NチャンネルFETで一定の電流を供給する定電流源を構成している。NE1はエンハンスマント型NチャンネルFETでダイオード接続されているので一定電流を流すと両端には一定の電圧が出てきて定電圧源として作用する。

## 【0077】

図10は図16の回路のPSRR特性をシミュレーションしたグラフである。103は本発明のキャンセルトランジスタを付加したときのPSRR特性であり、101はキャンセルトランジスタN7, N6, N5のソースドレインを短絡したときのPSRR特性を示す。103が101に比べて約60dBも改善されていることがわかる。このとき回路全体の動作電流はわずか数 $\mu A$ である。図中102はキャンセル信号発生回路を働かせないときのPSRR特性で、キャンセル動作をはずすと高い周波数まで特性が改善する効果がなくなることを示している。

## 【0078】

(従来の位相補償との違い)

本発明のリップル雑音除去回路は、いわゆる従来における増幅器の位相補償とはまったく別の範疇に属する。従来の位相補償は特別な場合を除き互いに位相が逆の2点をコンデンサ等で接続して負帰還をかけて周波数特性を変化させるのが基本である。例えば図16のP4のゲートとドレイン間にコンデンサなどを接続して高周波領域で利得を下げる位相回りを押さえて安定度を改善する場合がある。本発明のキャンセル信号発生回路は誤差増幅器の入力から見た周波数特性にほとんど影響が現れない。しかしVddから見たときのリップル雑音除去特性のみに作用する。作用の内容は接続する回路上の位置によって若干異なる。

## 【0079】

図16の回路図に示したように、キャンセル信号発生回路をVddに接続した場合は、誤差増幅器の入力とは何の関係もないで従来の位相補償とはいがなる相似もない。次にA点もしくはB点に接続した場合、A点、B点の誤差増幅器入力から見た利得は1以下なのでほとんど作用しないが、電源ラインVddに乗ったりプル雜音信号は大半がこれらの点に伝達されるのでC4を通じてキャンセル作用を働く事が可能である。C点やPD点は誤差増幅器入力から見るとある程度の利得を有しているので帰還の影響が少し出てくる。図14はC4をPD点に接続して時の利得位相特性を示すグラフである。141と144, 142と145, 143と146はC4=0pF, 0.1pF, 1pFの場合の利得特性と位相特性をそれぞれ示す。前述のようにキャンセル信号発生に抵抗分割R3, R4を使わないときはC4のみで可能であり、0.1pF~0.001pF程度の微小な容量で好適に実現できることが実験的に分かっている。図14で見られるように微小容量であれば特性の変化は安定度に関して無視できる量である。

## 【0080】

このように本発明のキャンセル信号発生回路は誤差増幅器入力からは見るとまったく作用しないか、または無視できる作用量であり、従来の位相補償とは本質的に動作が異なる。その一方で、電源ラインVddのリップル雜音に対しては非常に感度良くキャンセル作用が働く性質を有している。

## 【0081】

## (キャンセル動作の実例)

図12に、図16の実施例において、動作電流を前の例よりもさらに減らして1μA程度としたのPSRR特性を、キャンセルコンデンサC4を0pFから1.0pFに変化させて示す。121と125は0pF, 122と126は0.1pF, 123と127は0.5pF, 124と128は1.0pFの特性を示す。125はキャンセル信号がないので数100Hzから位相が遅れ初めて1KHz付近からPSRR特性が悪化し始めていることを示している。126は位相の遅れが少し高い周波数に移動して補正がかかり始めていることを示している。127はほぼ完璧に位相キャンセルがかかっている状態で位相が急激に変化してい

る、128は過剰にキャンセルが働いて逆に位相が進み過ぎてP S R R特性が劣化していることを示している。

## 【0082】

このようなキャンセル方法はこれまでになかった方法であり、その効果は一目瞭然でかつ非常に効果的である。

## 【0083】

図16の回路図では、キャンセル信号発生回路は電源Vddに接続されているが、リップル雑音信号が存在する他の場所に接続しても同じ効果が得られる。

## 【0084】

なお、本発明の実施例においては、半導体素子の例としてFETで示しているが、ほかのタイプの半導体素子、例えばバイポーラトランジスタ、SiGeトランジスタ、薄膜トランジスタ、GaAsトランジスタでも同等の効果が期待できるので、実施はFETに限定されるものではない。

## 【0085】

## 【発明の効果】

以上説明したように、本発明は従来には存在しなかった回路構成を提案して、少ない部品で非常に低い動作電流においてもリップル雑音をキャンセルする効率的なリップル雑音除去能力を実現している。

## 【0086】

すなわち、誤差増幅器は入力部と負荷部の間にゲートを電源に接続したキャンセルトランジスタを配置することにより低周波領域のリップルをキャンセルし、他方、誤差増幅回路のひとつの入力にキャンセル信号発生回路を接続することにより、高周波領域の出力リップル雑音をキャンセルするものである。

## 【図面の簡単な説明】

## 【図1】

従来の安定化電源回路の一例を示すブロック図である。

## 【図2】

従来の安定化電源回路の一例を示す回路図である。

## 【図3】

従来の安定化電源回路の出力電圧対電源電圧特性の一例を示す図面である。

【図4】

図3のスケールを1000倍に拡大した図面である。

【図5】

従来の安定化電源回路の出力電圧対電源電圧特性を示す図面である。

【図6】

従来の安定化電源回路のP S R R特性を示す図面である。

【図7】

本発明の第1の実施例である回路図を示す図面である。

【図8】

本発明の第1の実施例の変形例である回路図を示す図面である。

【図9】

図16の回路各部の電圧の電源電圧依存性を示す図面である。

【図10】

本発明のP S R R特性に関するキャンセル動作を示す図面である。

【図11】

基準電圧発生回路の例を示す図面である。

【図12】

キャンセル信号発生回路の動作を示す図面である。

【図13】

キャンセル信号発生回路の例を示す図面である。

【図14】

キャンセル信号発生回路の作用を示すグラフを示す図面である。

【図15】

本発明の第2の実施例である回路図を示す図面である。

【図16】

本発明の第3の実施例である回路図を示す図面である。

【図17】

本発明の第3の実施例である回路図の変形例を示す図面である。

【図18】

本発明の第1の実施例のブロック図を示す図面である。

【図19】

本発明の第2の実施例のブロック図を示す図面である。

【図20】

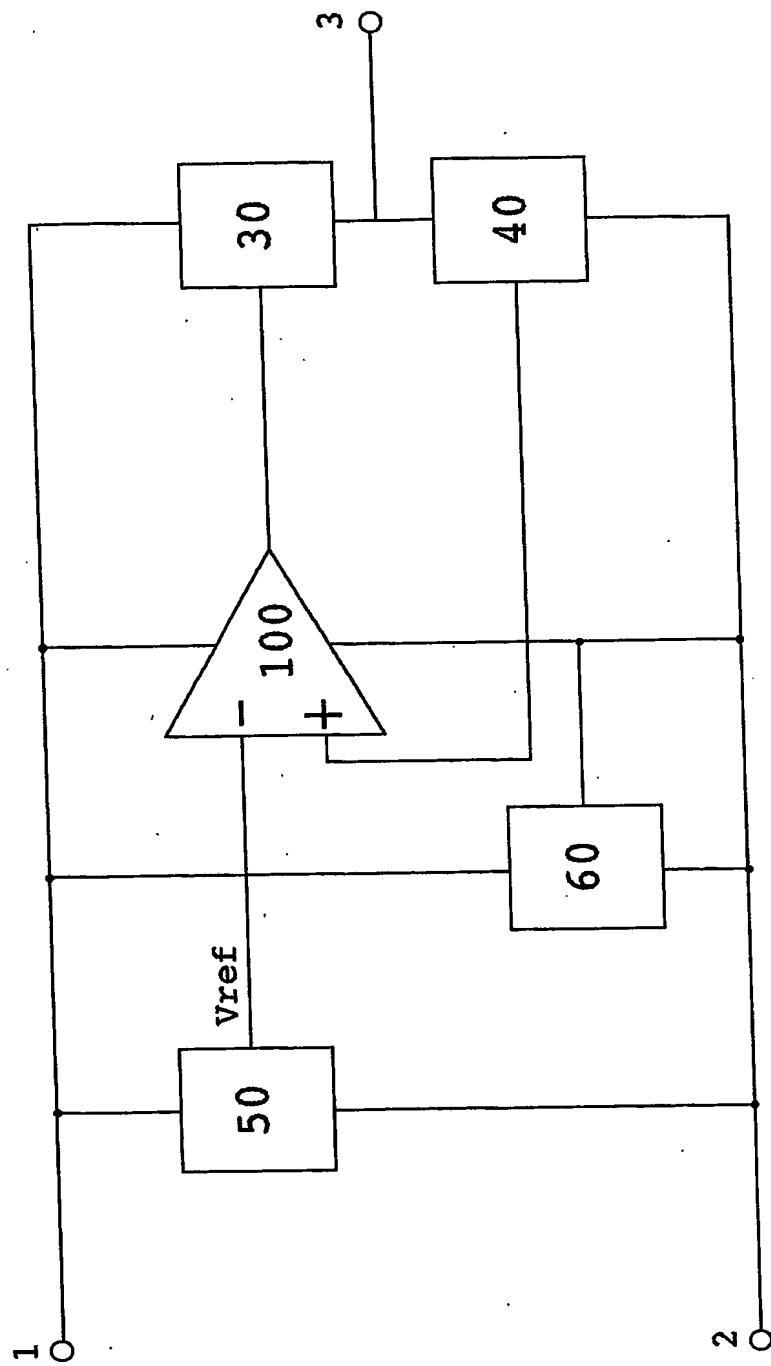
本発明の第3の実施例のブロック図を示す図面である。

【符号の説明】

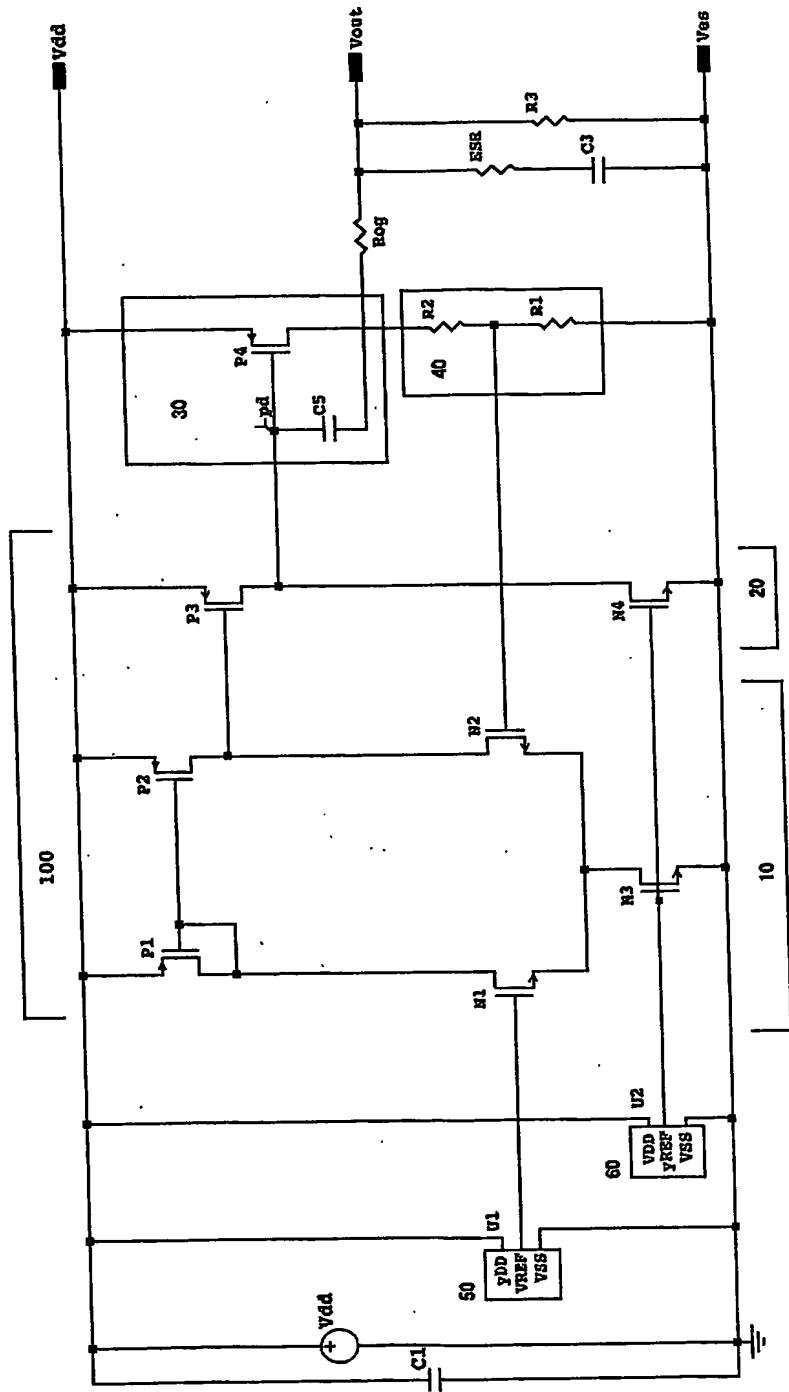
- 1, 2 電圧供給端子
- 3 出力端子
- 10 差動回路
- 20 位相反転増幅器
- 30 出力回路
- 40 出力分圧回路
- 50 基準電圧発生回路
- 60 バイアス電流発生回路
- 70 キャンセルトランジスタアレイ
- 80 キャンセル信号発生回路
- 100 誤差増幅器

【書類名】 図面

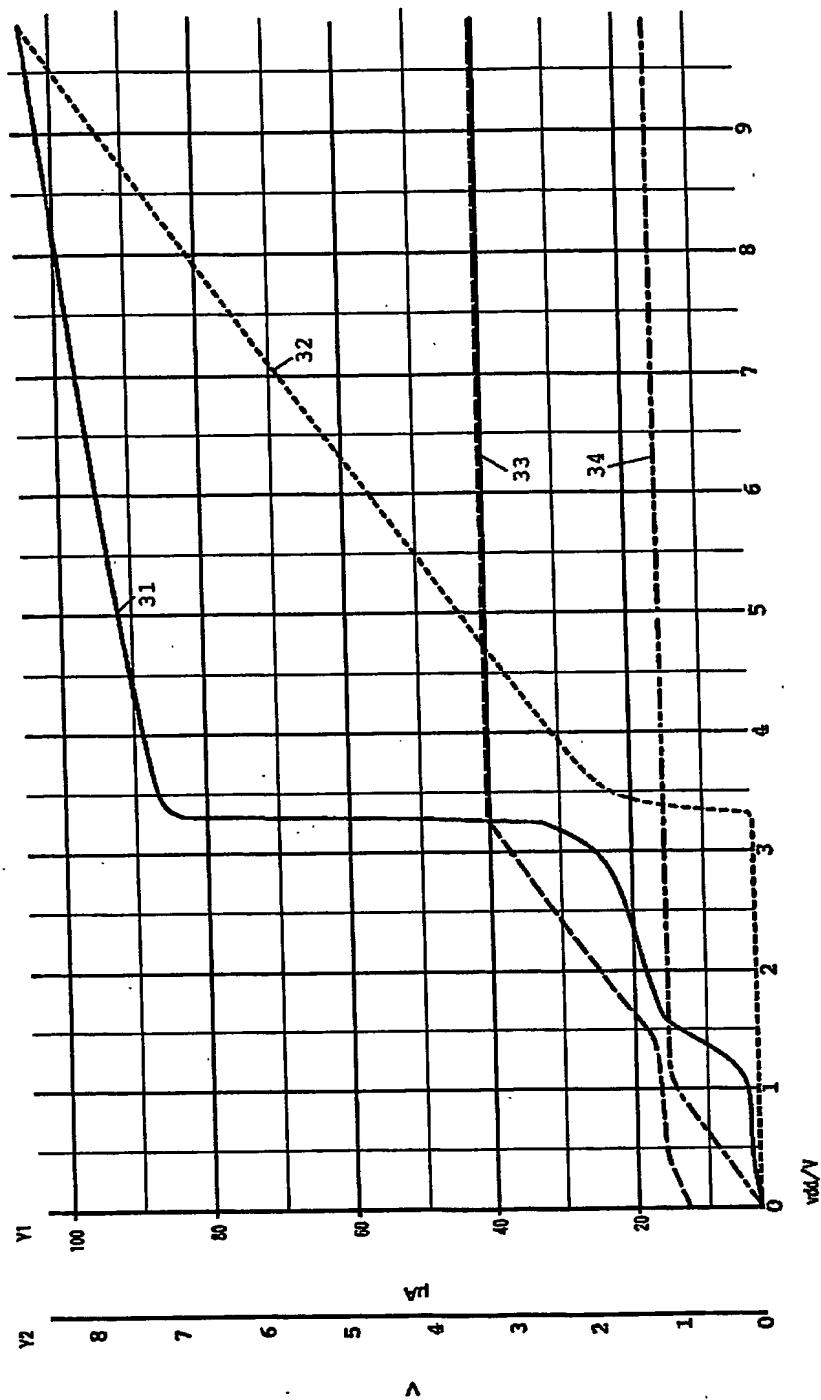
【図1】



【図2】

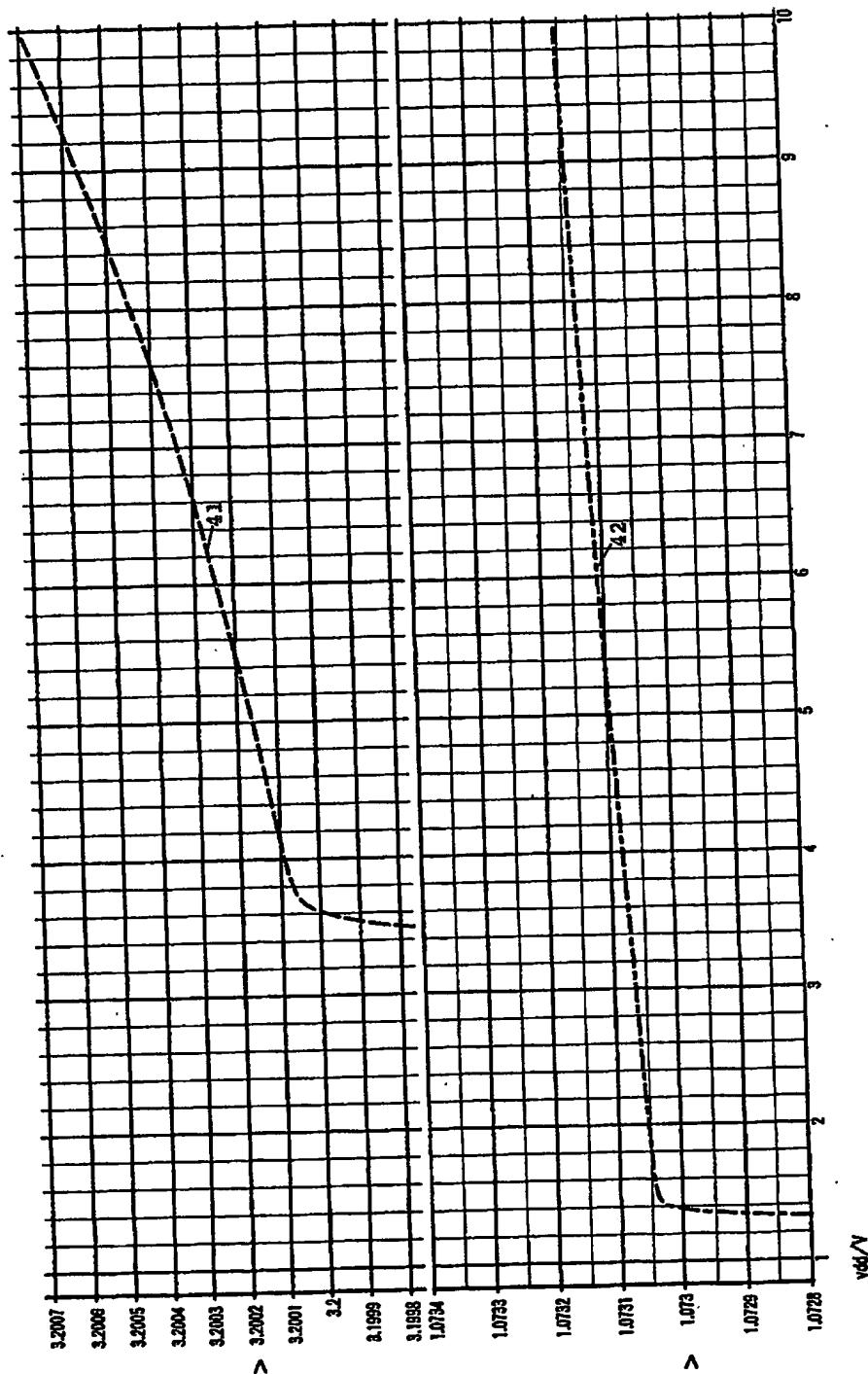


【図3】

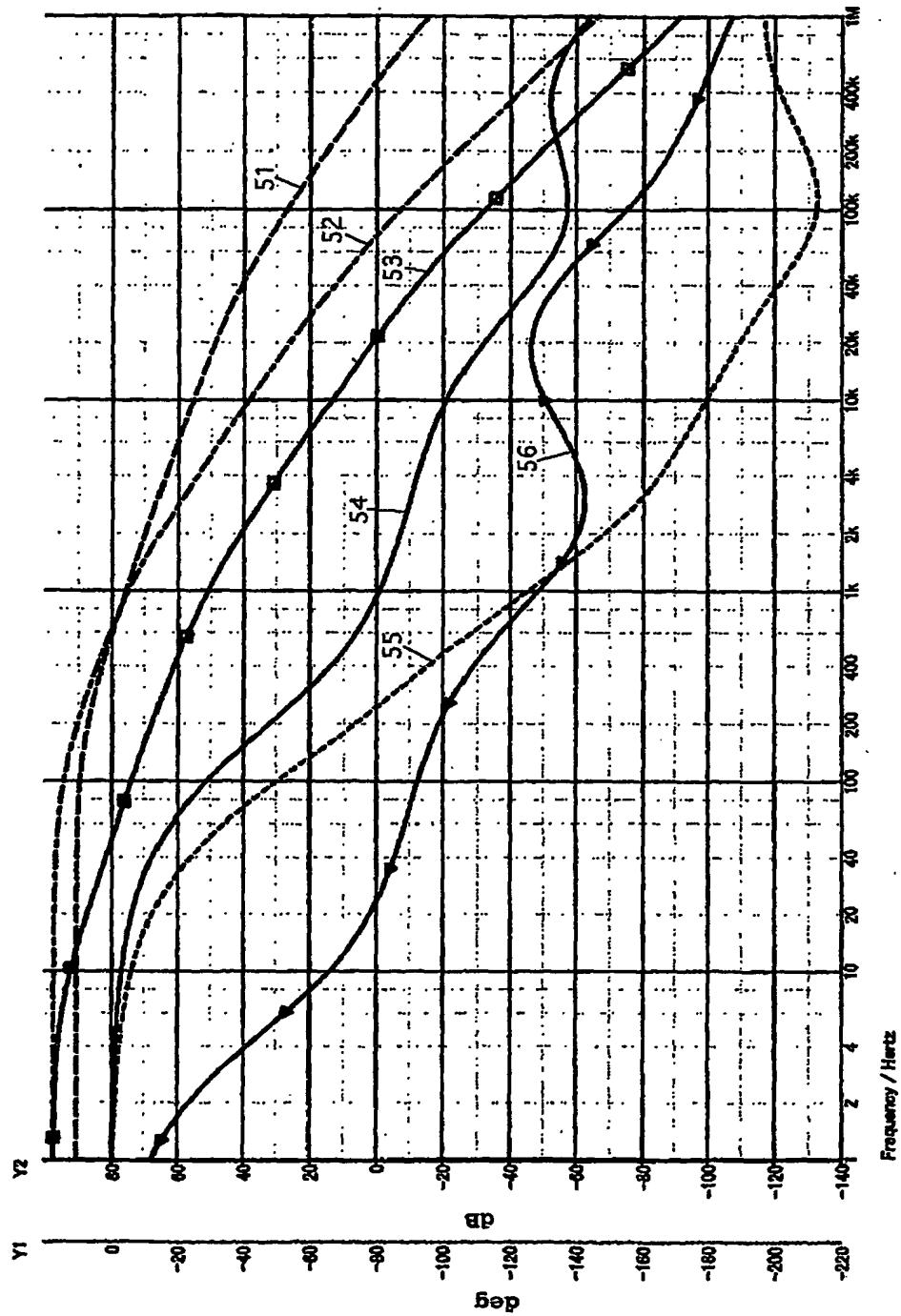


特2002-121231

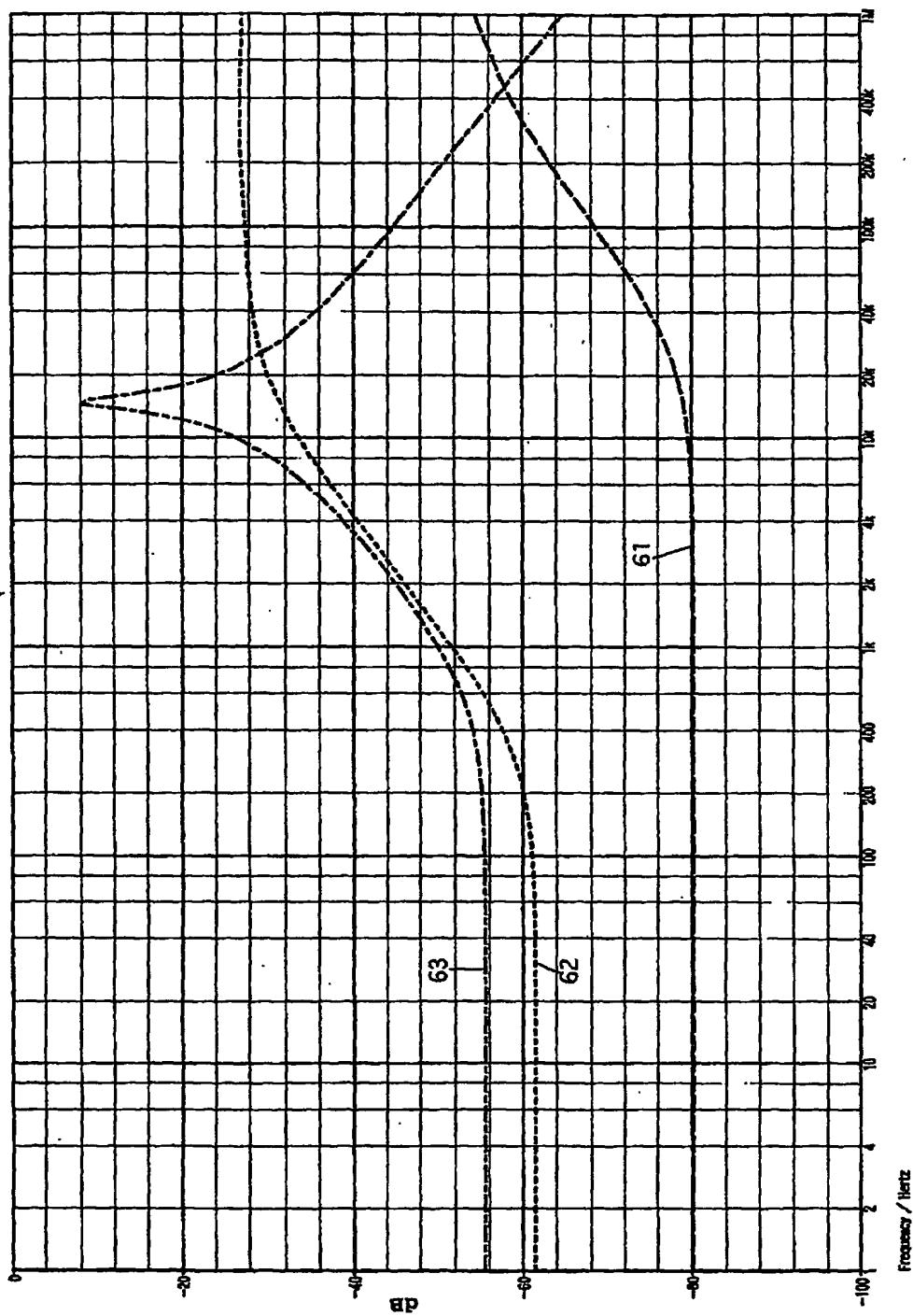
【図4】



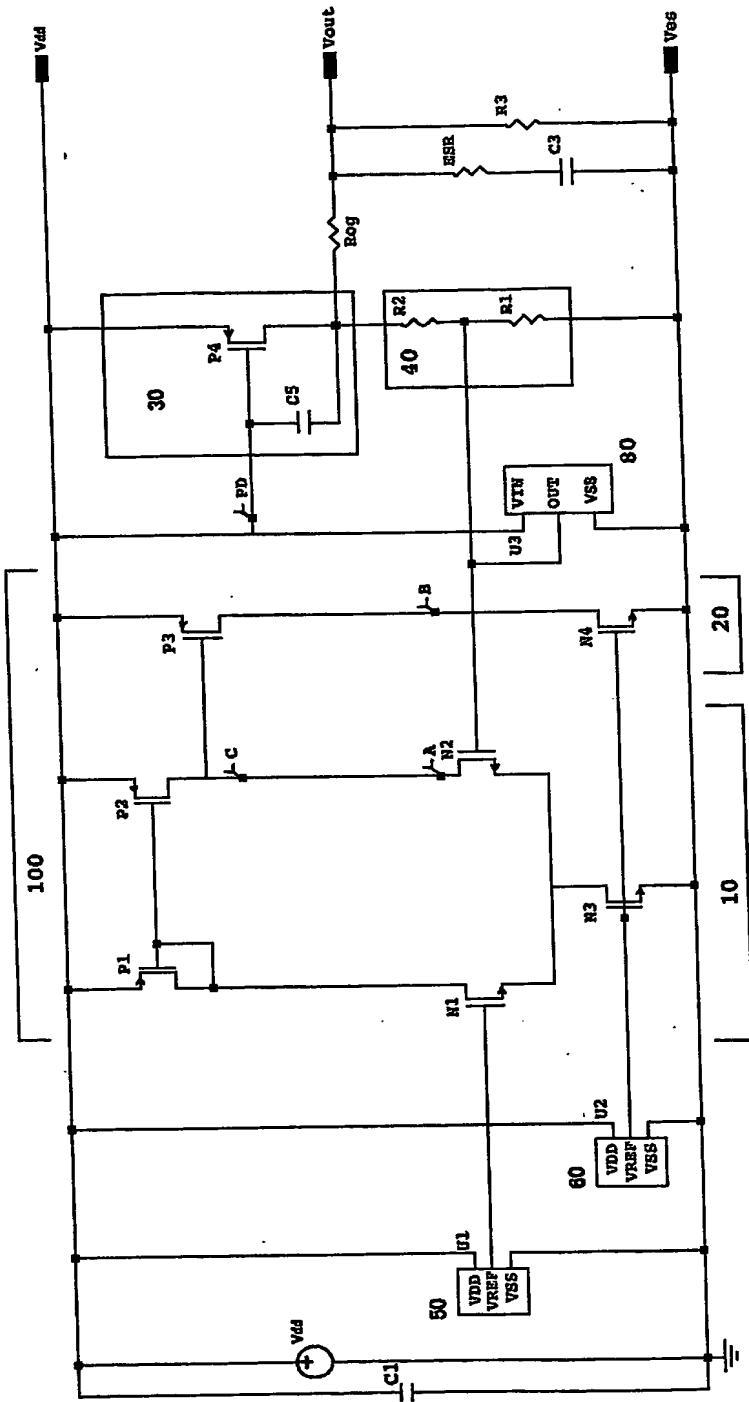
【図5】



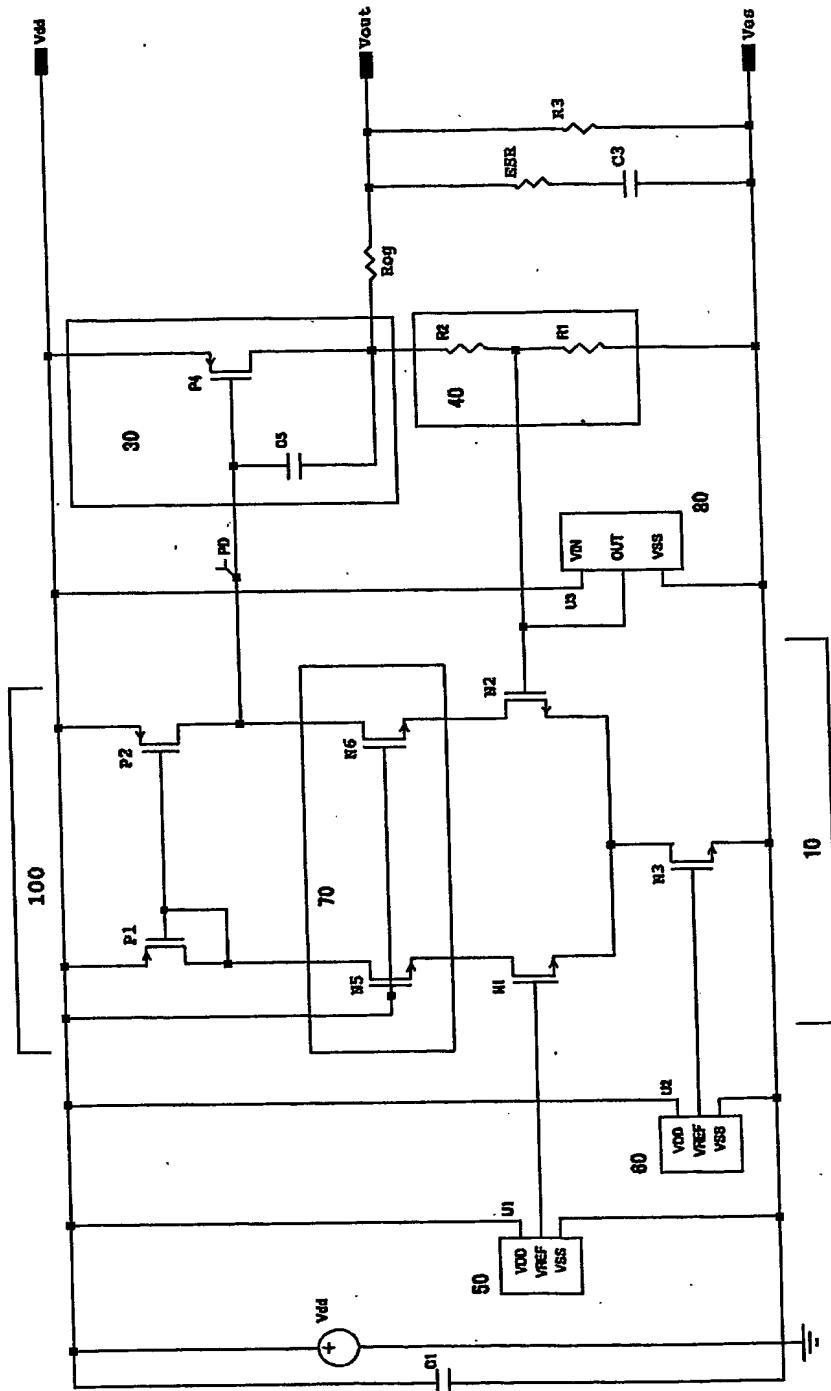
【図6】



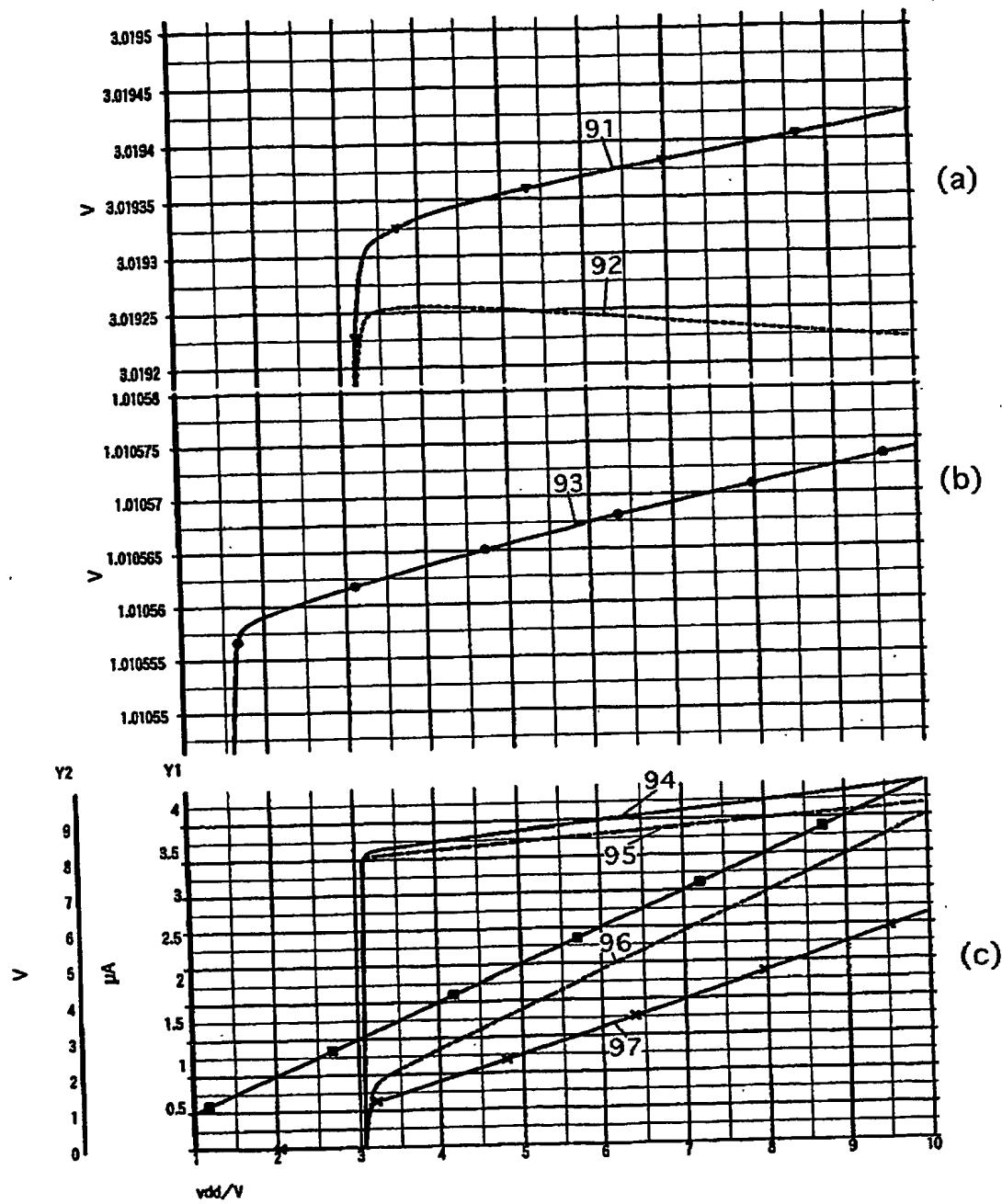
【図7】



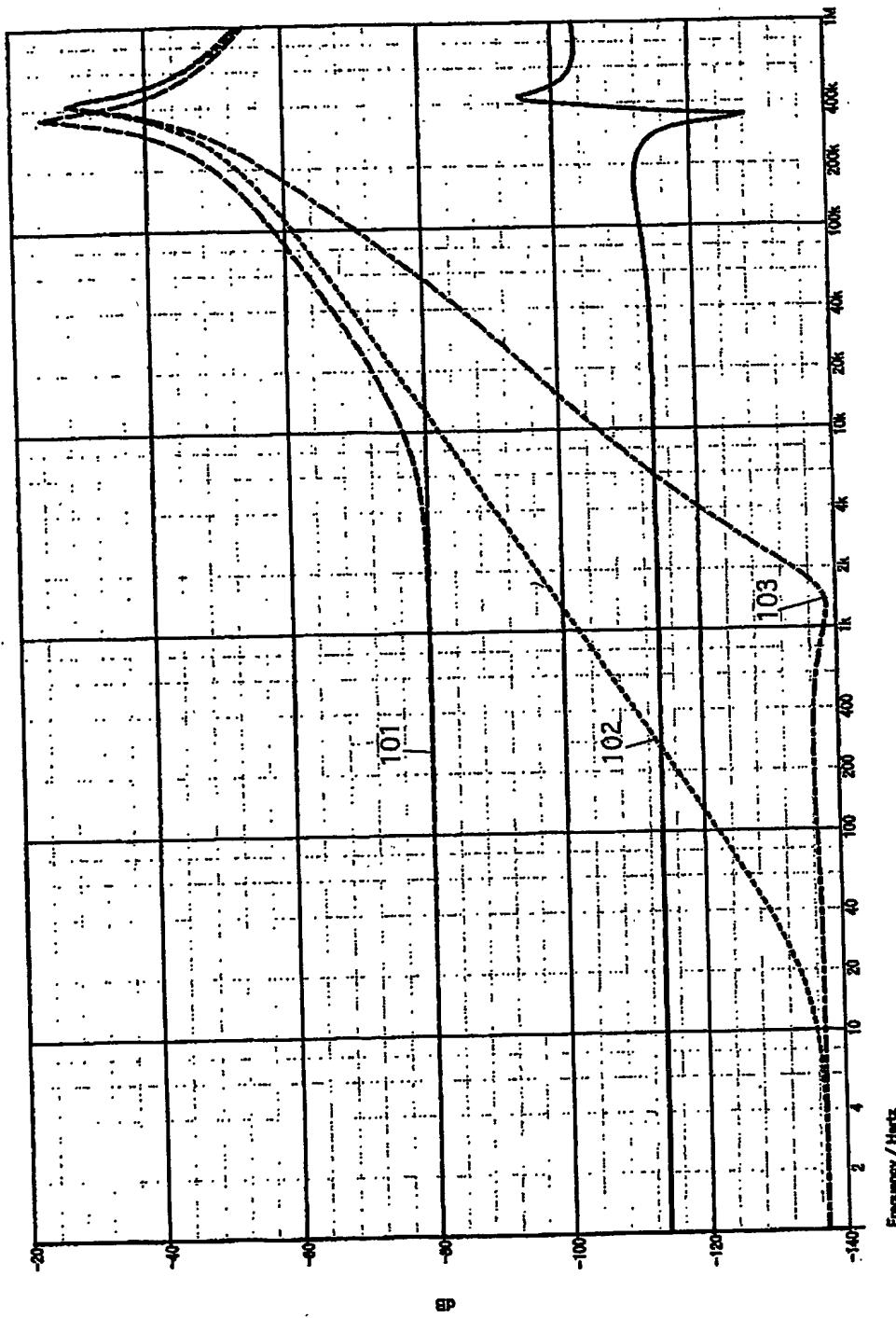
【図8】



【図9】

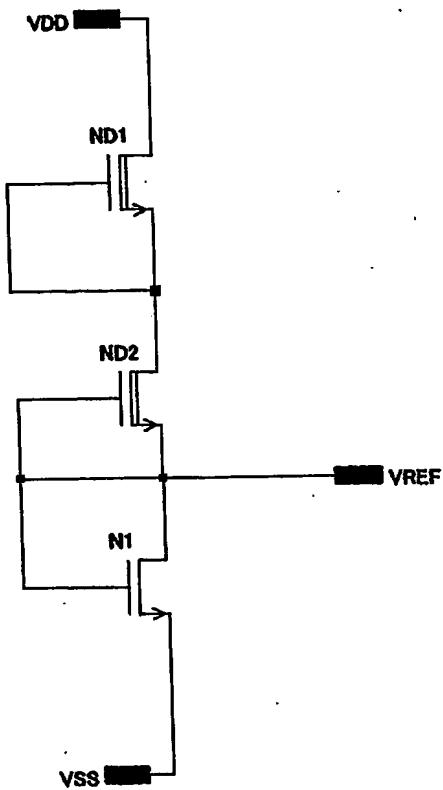


【図10】



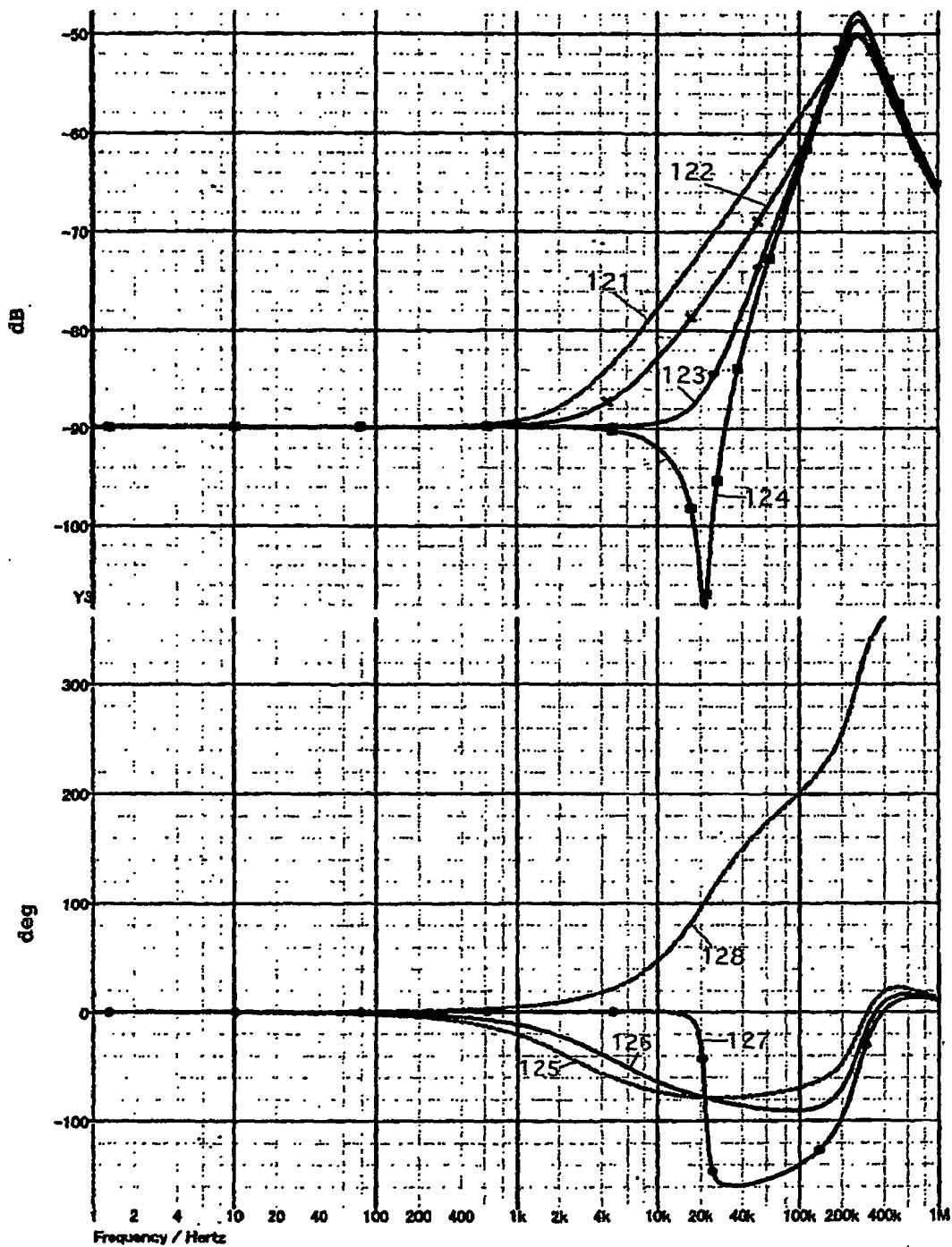
特2002-121231

【図11】

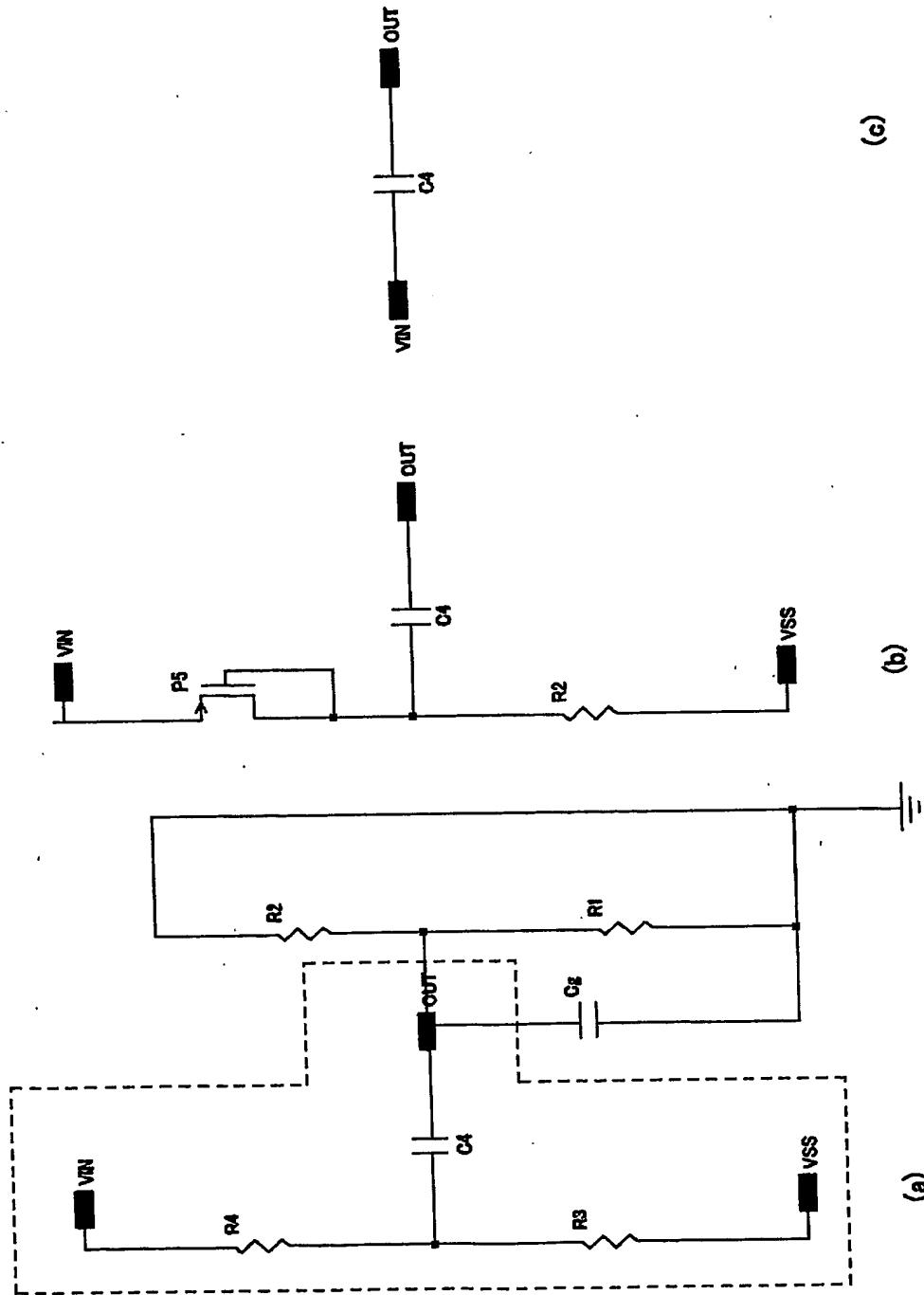


特2002-121231

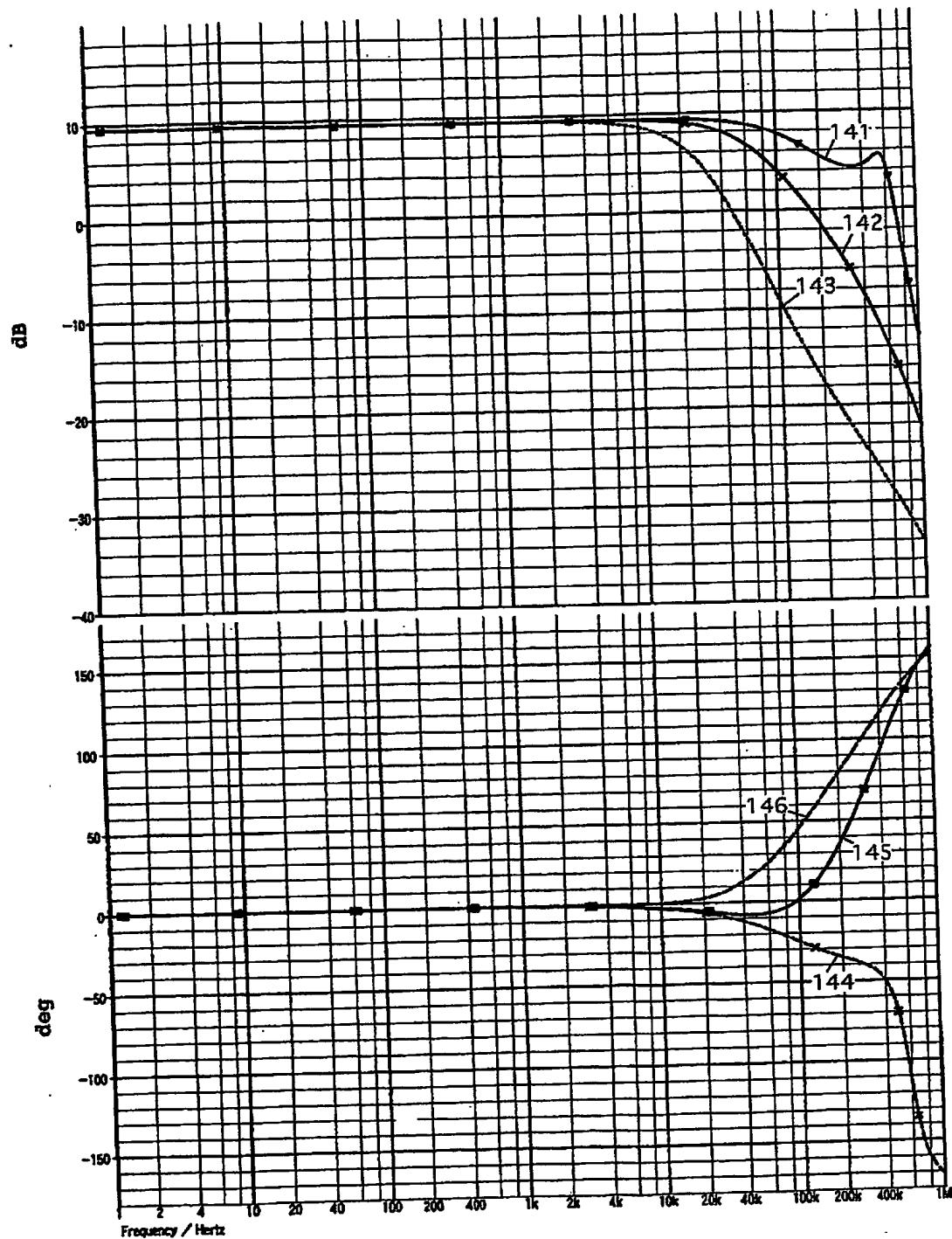
【図12】



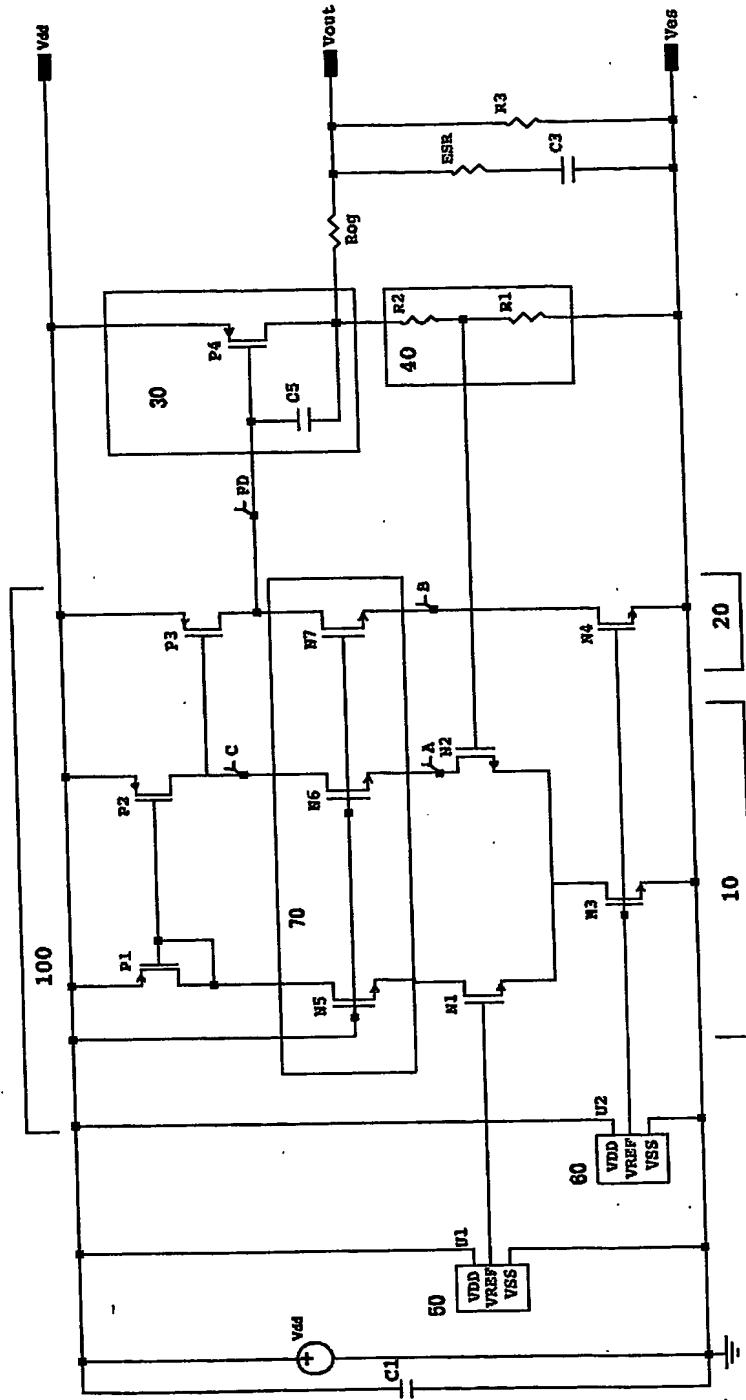
【図13】



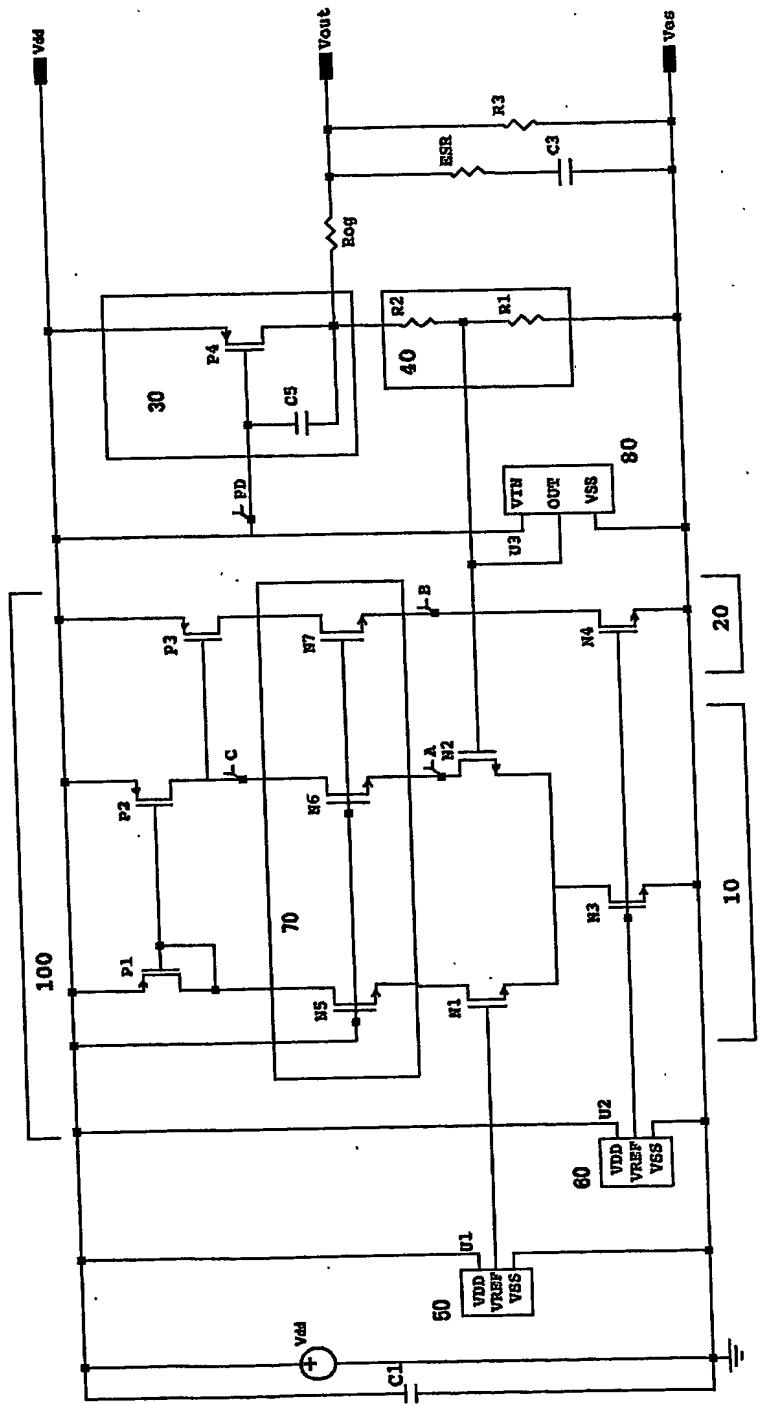
【図14】



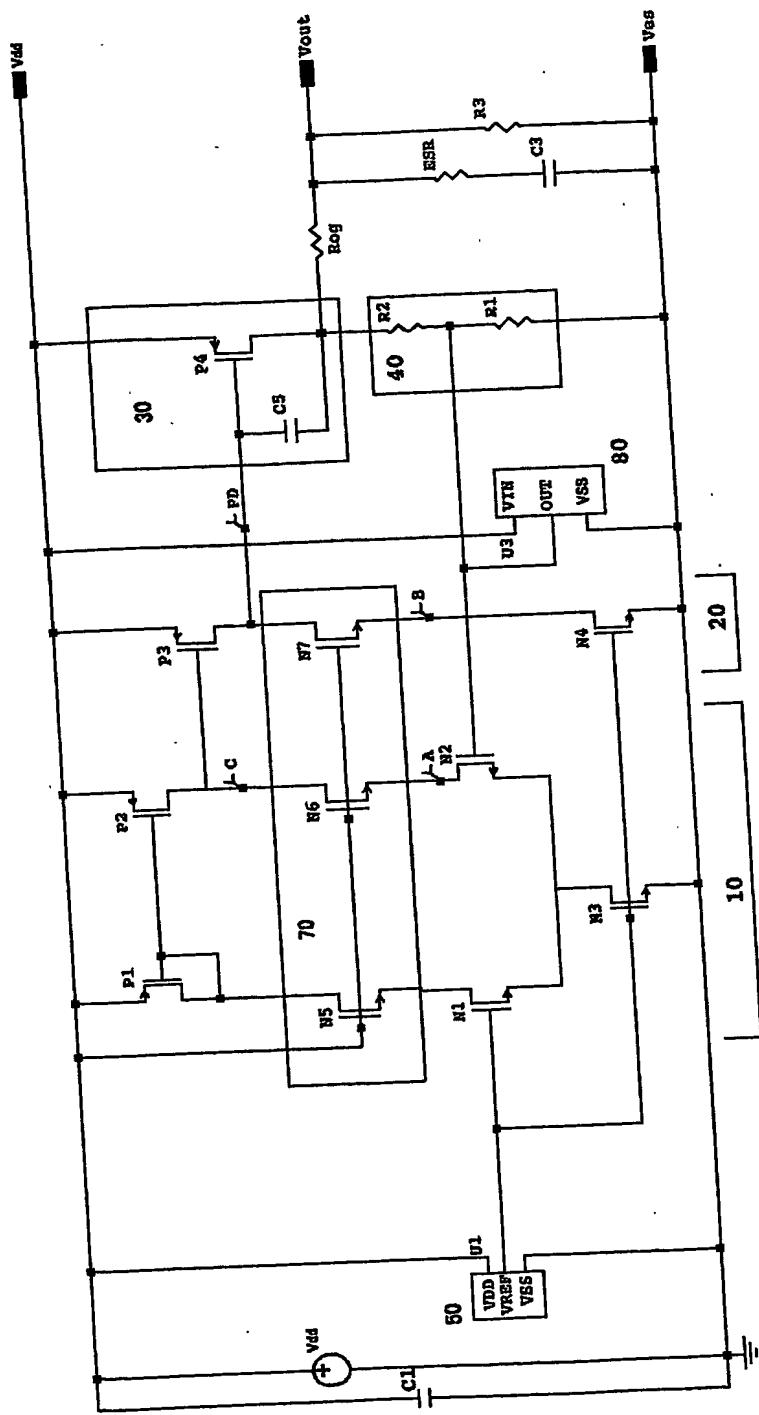
【図15】



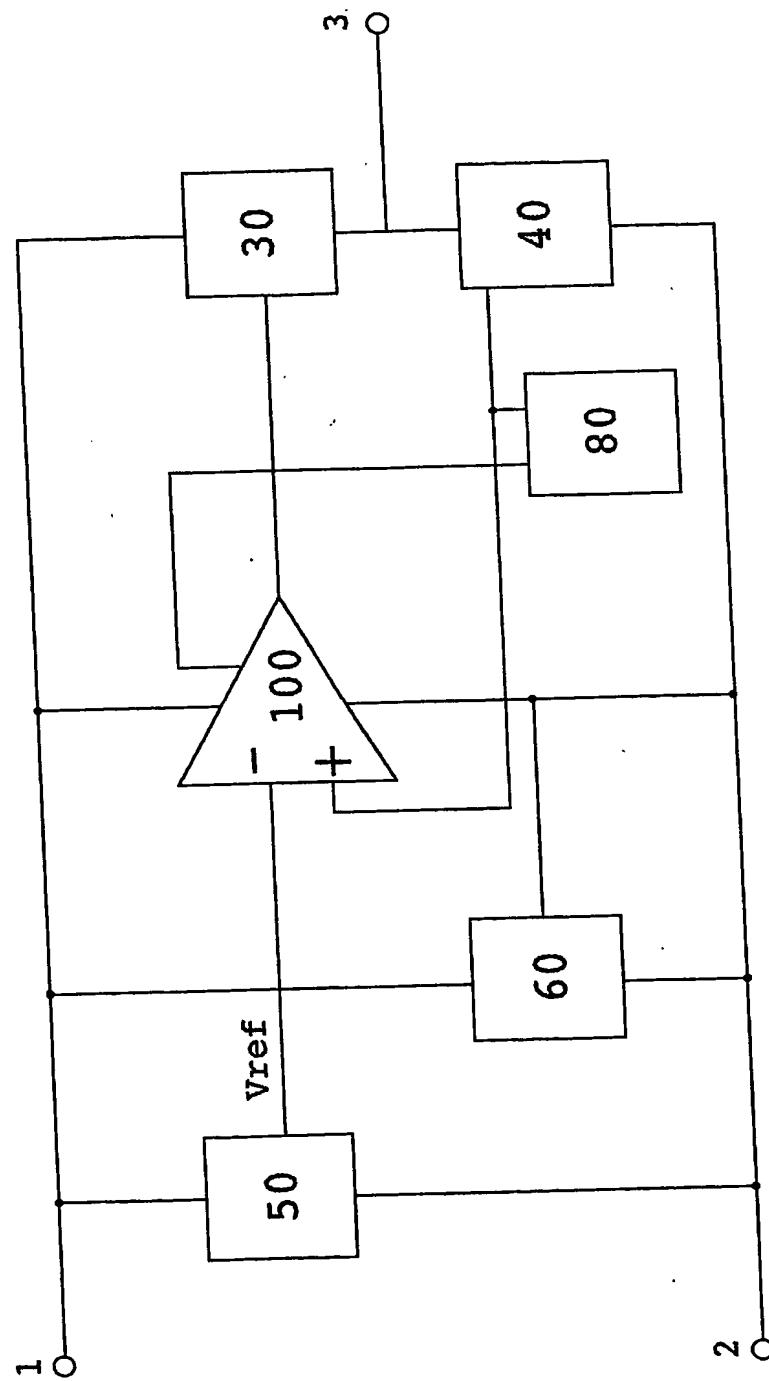
【図16】



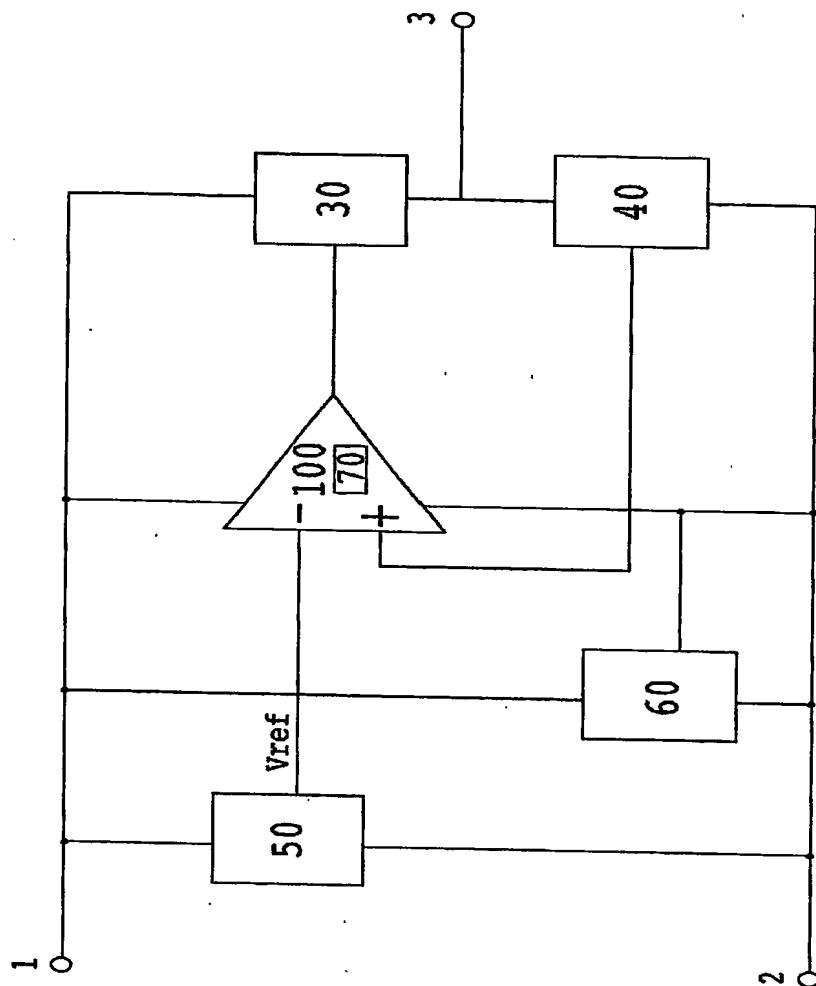
【図17】



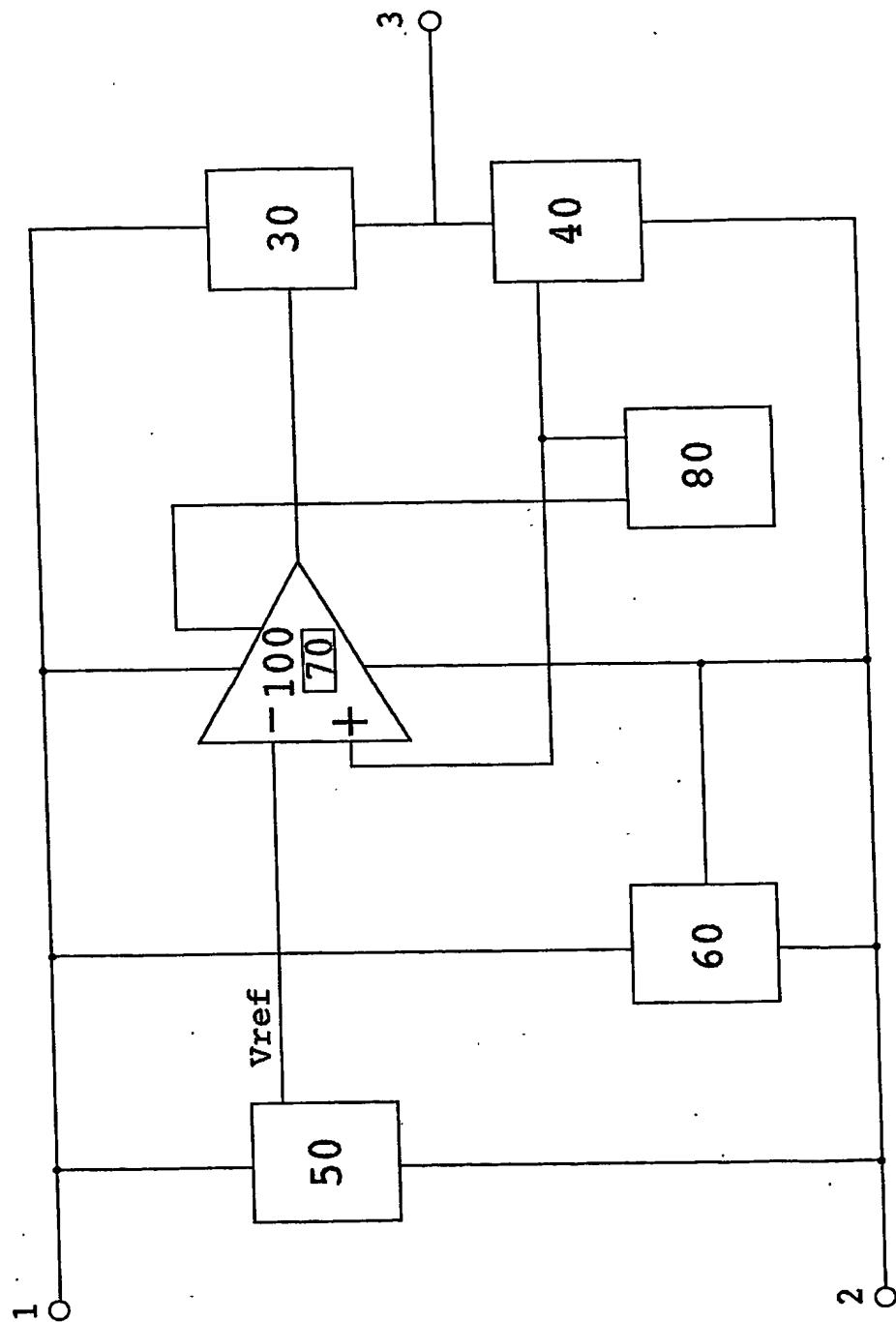
【図18】



【図19】



【図20】



【書類名】 要約書

【要約】

【課題】 誤差増幅器の利得を大きくすることなくかつ動作電流とアイドリング電流をごく微小にしても安定度、リップル雑音除去能力を大幅に向上した雑音キャンセル回路を提供する。

【解決手段】 誤差増幅器と基準電圧源を含む安定化電圧出力装置において電源ラインに発生するリップル雑音信号を、その雑音信号と逆相に動作するキャンセルトランジスタ、キャンセル信号発生回路を新規に付加して、リップル雑音キャンセル回路を構成した。

【選択図】 図20

出願人履歴情報

識別番号 [501114316]

1. 変更年月日 2001年 3月21日

[変更理由] 新規登録

住 所 東京都豊島区南大塚3-32-9 西島ビル

氏 名 ナノパワーソリューション株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**